

HR_C6000 用户手册



特性

DMR

- 符合 ETSI TS102 361 (DMR) Tier I/II/III 标准的协议设计
- 支持物理层、数据链路层和呼叫控制层独立控制
- 支持真双时隙同步头检测
- 采用 TDMA 技术, 支持全双工、半双工语音、数据通信及数话同传业务
- 支持 IP 数据业务
- 支持单频、双频中继
- 支持 4.8Kbps 和 9.6Kbps 数据传输
- 支持数字模拟智能检测
- 支持中继语音和数据功能
- 支持语音加密功能

调制解调及信道编解码

- 高性能 4FSK 调制解调
- 集成协议规定的信道编解码器

声码器支持

- 支持 HR_V3000(宏睿 AMBE+2)、SELP 声码器(清华)、AVDS 声码器(712)等 SPI 接口的声码器, 同时为数字录音、回放及提示音输入提供接口
- 无缝对接 AMBE3000、AMBE1000、WT3000 等声码器, 由 HR_C6000 自动完成对声码器的配置及与声码器交互数据的控制
- 支持数字语音加密

射频接口

- 发送射频接口采用单端输出, 支持基带 IQ、中频、两点调制
- 接收射频接口采用差分输入方式, 支持基带 IQ、中频和 AF
- 发送两路信号偏置、幅度大小可独立调节
- 支持用户配置 GPIO 控制射频通道

模拟 FM

- 支持 12.5KHz/25KHz 信道通信
- 支持加重、去加重
- 支持压缩、解压缩
- 支持 CDCSS/CTCSS 亚音处理
- 支持 2-tone/5-tone 处理
- 支持 DTMF 处理
- 支持模拟静噪功能
- 支持 MSK 调制和解调

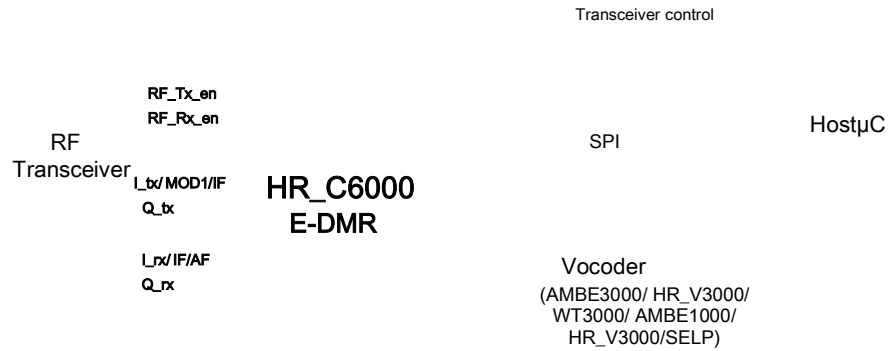
内置高性能 IP

- 高性能 ADC/DAC
- DC-DC, 采用 3.3V 供电
- 高性能 PLL
- 高性能 Codec, 支持差分或单端 Mic 输入和 Line_out 输出

支持外置 Codec I²S 接口

- 采用低功耗设计, 芯片典型工作功耗小于 40mW
- 采用 LQFP-80 封装

应用框图



简介

宏睿自主研发的 HR_C6000 芯片符合 ETSI TS102 361 (DMR) 数字对讲标准，同时支持数字 PDT 集群对讲、模拟对讲和模拟集群对讲应用，是定位高端应用的一款终端芯片。

芯片集成高性能的 4FSK 调制解调器、MSK 调制解调器、模拟对讲通道、亚音频、DTMF、2-Tone、5-Tone 等模拟功能、信道编译码、协议处理器，采用物理层、数据链路层和呼叫控制层分层设计，用户可直接采用三层协议进行符合 DMR 标准的数字对讲机的开发，大大减少了开发的工作量，缩短研发时间；用户也可以在 HR_C6000 二层协议的基础上进行 PDT 协议、DMR TierIII 或自定义协议的开发，满足高端用户的需求。芯片适用于数字对讲手台、专用集群终端以及低速数据、语音传输终端应用，支持中继和有中心方式下的终端应用。

芯片内置 AD/DA、CodeC、DC-DC 等多种 IP，有效减少用户的外围器件；同时，能无缝对接 AMBE3000、WT3000、AMBE1000、HR_V3000、SELP、AVDS 等多种声码器，支持两点调制发送、低中频接收，兼容原有模拟对讲机射频通道，减少用户射频开发的工作量。

芯片采用 3.3V 供电，内置功耗管理模块，实现低功耗设计。

产品为用户提供 LQFP-80 封装。

目 录

HR_C6000 用户手册	1
特性.....	3
应用框图.....	4
简介.....	4
1 芯片框图.....	8
2 芯片管脚.....	9
2.1 管脚图.....	9
2.2 管脚列表.....	9
2.3 封装尺寸.....	14
3 特性参数.....	14
3.1 静态特性.....	14
3.2 动态特性.....	16
3.3 功耗参数.....	16
3.4 性能参数.....	17
应用说明.....	18
4.1 芯片复位.....	18
4.1.1 上电复位.....	18
4.1.2 软件复位.....	18
4.2 芯片供电.....	19
4.3 芯片工作时钟框图及说明.....	20
4.3.1 时钟电路.....	20
4.3.2 时钟配置.....	20
4.4 芯片的参数配置接口.....	21
4.5 Codec 的使用.....	23
4.5.1 采用内置 Codec.....	23
4.5.2 采用外置 Codec.....	25
声码器.....	26
与宏睿 HR_V3000 声码器接口定义.....	26
发射模块.....	28
4.7.1 基带 IQ 调制.....	29
4.7.2 两点调制.....	29
4.7.3 中频 IQ 调制.....	31
4.7.4 中频调制.....	31
4.8 接收模块.....	31
4.8.1 基带 IQ.....	32
4.8.2 中频模式.....	32
5 分层功能说明.....	33
5.1 中断使用说明.....	34
5.1.1 中断使用描述.....	34
5.2 接口读写使用说明.....	36
5.3 HR_C6000 RAM 分配定义	37
5.4 支持帧类型.....	40

5.4.1 时隙组帧.....	40
5.4.3 帧定义和使用.....	45
5.4.1 工作模式说明.....	46
5.4.2 应用举例.....	49
5.4.3 误比特率测试.....	51
6 FM 应用.....	52
6.1 FM 发送.....	52
6.1.1 CTCSS 发送.....	54
6.1.2 CDCSS 发送.....	55
6.1.3 DTMF 发送.....	55
6.1.4 2-tone 发送.....	55
6.1.5 5-tone 发送.....	56
6.2 FM 接收.....	56
6.2.1 CTCSS 接收.....	58
6.2.2 CDCSS 接收.....	58
6.2.3 DTMF 接收.....	58
6.2.4 2-tone 接收.....	59
6.2.5 5-tone 接收.....	59
7 MSK 应用说明.....	59
7.1 MSK 发送.....	59
7.2 MSK 接收.....	60
7.3 MCU 使用说明.....	60
7.3.1 MCU 工作流程.....	60
7.3.1.1 初始化.....	60
7.3.1.2 发送控制.....	60
7.3.1.3 接收控制.....	61
7.3.2 复位操作.....	61
7.4 参数配置.....	62
7.4.1 基础参数配置.....	62
7.4.2 MAC 下发的参数配置.....	62
7.4.3 MAC 获取的参数配置.....	65
8 寄存器说明.....	66
附录:	89
A FM通路具体使用说明.....	89
A1 提示音通路.....	89
A1.1 参数配置.....	89
A1.2 使用说明.....	89
A2 模拟通路.....	90
A2.1 参数配置.....	90
A2.2 使用说明.....	90
A2.2.1 CTCSS.....	90
A2.2.1.1 参数配置与初始化.....	90
A2.2.1.2 发送与接收.....	91
A2.2.2 CDCSS	91



A2.2.2.1 参数配置与初始化.....	91
A2.2.2.2 发送与接收.....	91
A2.2.3 DTMF.....	92
A2.2.3.1 参数配置与初始化.....	92
A2.2.3.2 发送与接收.....	93
A2.2.4 Selcall-tone (2-tone)	93
A2.2.4.1 参数配置与初始化.....	93
A2.2.4.2 发送与接收.....	94
A2.2.5 Selcall-tone (5-tone)	94
A2.2.5.1 参数配置与初始化.....	94
A2.2.5.2 发送与接收.....	94
B ADC 输入电压与RSSI 值关系.....	95

1 芯片框图

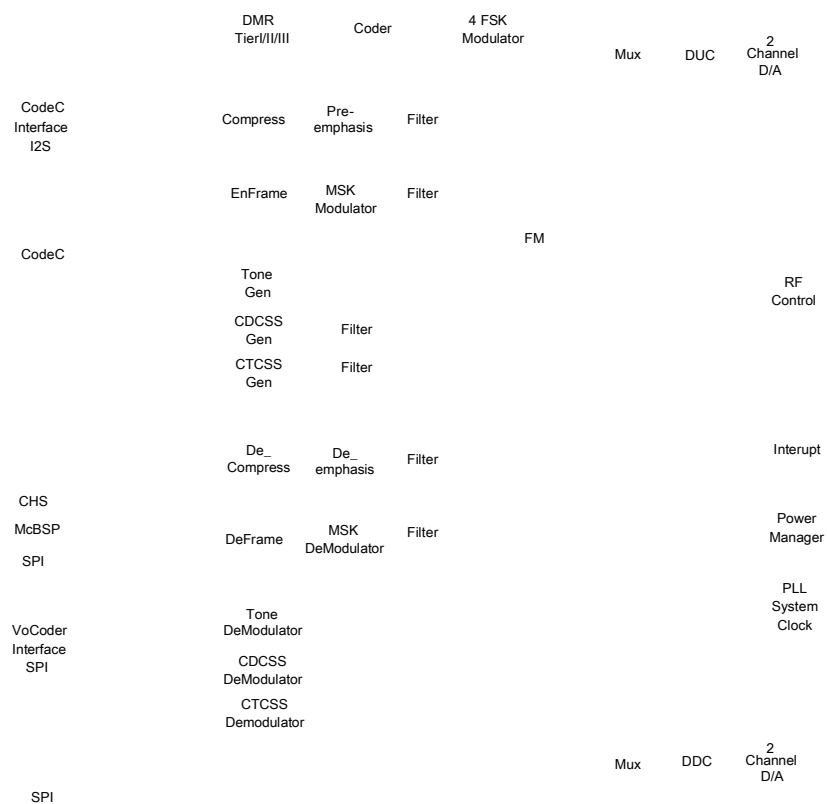


图 1.1 HR_C6000 芯片内部结构框图

2 芯片管脚

2.1 管脚图

图 2.1 HR_C6000 管脚图

2.2 管脚列表

表 2.1 管脚排列说明图

管脚号	管脚名	类型	管脚说明
1	HPVCC	AP	耳机输出放大器模拟3.3V 电源。
2	LINEOUT1	AO	耳机输出。



3	HPGND	AG	内置 Codec 模拟地。
4	CDC_VREF	AO	内置 Codec 参考电源。
5	MIC_P	AI	麦克风差分输入的正端。
6	MIC_N	AI	麦克风差分输入的负端。
7	LINEIN1	AI	麦克风单端输入 1。
8	LINEIN2	AI	麦克风单端输入 2。
9	CDC_AVCC	AP	Codec 模拟 3.3V 电源。
10	LINEOUT2	AO	Line-out 输出，需加外置功放驱动。
11	VREFL	AG	麦克风外置参考负端，接模拟地。
12	PLL_VDD33	AP	PLL 模拟 3.3V 电源。
13	PLL_VSS33	AG	PLL 模拟地。
14	XTALI	DI	系统时钟，有源晶振输入。
15	CLKOUT	DO	HR_C6000 输出时钟，由 PLL 输出时钟分频得到，分频比通过 reg0xBB 配置。可供外置 Codec 或外置声码器使用。
16	MCLK/RF_ANT_EN	DIO	外置 Codec 接口工作时钟，该时钟由 CLKOUT 提供，若外置 Codec 不使用 CLKOUT，则该时钟需要使用外置 Codec 的工作时钟；也复用作为射频发送端数字控制使能，此时为输出特性。
17	LRCK/RF_3TC_EN	DO	外置 Codec 左右声道选择使能；复用作为射频发送端数字控制使能。
18	BCLK/RF_3RC_EN	DO	外置 Codec 比特时钟；复用作为射频接收端数字控制使能。
19	ADCDAT/RF_5TC_EN	DIO	外置 Codec 音频 ADC 采样数据；复用作为射频发送端数字控制使能，此时为输出特性。
20	DACDAT/ RF_5RC_EN	DO	外置 Codec 音频 DAC 数据；复用作为射频接收端数字控制使能。
21	VSS12	G	内核数字地。
	McBSP_RxD / CHS_DI		AMBE3000: HR_C6000 通过 McBSP 接口发送给 AMBE3000 的数据；
22	McBSP_TxD / CHS_DO	DO	AMBE1000: HR_C6000 通过 CHS 串口发送给 AMBE1000 的帧输入数据。
23	McBSP_CLKR / CHS_O_CLK	DI	AMBE3000: HR_C6000 通过 McBSP 接口接收 AMBE3000 发出的数据； AMBE1000: HR_C6000 通过 CHS 串口接收 AMBE1000 的帧输出数据。
24		DO	AMBE3000: HR_C6000 的 McBSP 接口输出时钟； AMBE1000: AMBE1000 的 CHS 接口

			时钟。
25	McBSP_FSX	DI	AMBE3000: HR_C6000 通过 McBSP 接口接收 AMBE3000 输出数据的同步信号。
26	McBSp_CLKX	DI	AMBE3000: HR_C6000 的 McBSP 接口输入时钟。
27	McBSP_FSR / CHS_I_STRB	DO	AMBE3000: HR_C6000 通过 McBSP 接口发送给 AMBE3000 的数据同步信号;
28	PKT_RX_WAKE/CHS_O_STRB	DO	AMBE1000: CHS_DI 端口数据有效的使能。
29	RTS/DPE	DI	AMBE3000: 将 McBSP_FSR 取反, 用于唤醒 McBSP 接口;
30	TX_RDY /EPR	DI	AMBE1000: CHS_DO 端口数据有效的使能。
31	STDBY_ENB/RESET_AMBE1000		AMBE3000: AMBE3000 允许通过 McBsp 接口写入数据, 低有效;
32	VDD12	P	AMBE1000: AMBE1000 解码包空。
33	VSS12	G	AMBE3000: AMBE3000 发送数据包准备完成, 高有效;
34		DI	AMBE1000: AMBE1000 的编码包准备好。
35	C_SDO/I2S_TX	DO	AMBE3000: AMBE3000 Standby 模式使能, 高电平有效;
			AMBE1000: AMBE1000 的 RESET, 低有效。
			内核数字 1.2V 电源。
			内核数字地。
			作为 SPI 接口时: 将声码器 SPI 口的串行数据输入到 HR_C6000, SPI 工作在主模式。
			作为 I2S 接口时: 可以工作在主/从模式。如果工作在主模式, 从声码器读取 PCM 串行数据到 HR_C6000; 如果工作在从模式, 声码器将 PCM 数据写入到 HR_C6000。
			作为 SPI 接口时: HR_C6000 将 CodecADC 端的语音数据输出到声码器 SPI 端口。
			作为 I2S 接口时: 可以工作在主/从模式。如果工作在主模式, HR_C6000 将 PCM 数据写入声码器进行压缩编码; 如果工作在从模式, 声码器从 HR_C6000 读取 PCM 数据进行编码。

36	C_SCLK/I2S_CK	DO/DI	<p>作为 SPI 接口时：声码器 SPI 口的串行时钟。</p> <p>作为 I2S 接口时：可以工作在主/从模式。如果工作在主模式，如果工作在主模式，为提供给声码器的 I2S 主时钟；如果工作在从模式，为声码器提供给 HR_C6000 的 I2S 接口工作时钟</p> <p>作为 SPI 接口时：声码器 SPI 口的片选。</p> <p>作为 I2S 接口时：可以工作在主/从模式。如果工作在主模式，提供给声码器读写 I2S 左右声道数据的使能；如果工作在从模式，声码器提供给 HR_C6000 读写串行数据的左右声道使能。</p>
37	C_CS/I2S_FS	DO/DI	
38	TEST_MODE	DI	测试模式配置管脚，1 为测试模式，0 为正常工作模式。
39	RESETn	DI	系统复位信号，低有效。
40	VDD33	P	数字 IO 3.3V 电源。
41	V_SDI	DI	通用声码器 SPI 口串行数据输入。
42	V_SDO	DO	通用声码器 SPI 口串行数据输出。
43	V_SCLK	DI	通用声码器 SPI 口串行时钟。
44	V_CS	DI	通用声码器 SPI 口选择信号。
45	DBIST_IN	DI	无，输入接地。
46	DBIST_OUT	DO	无。
47	PWD	DI	芯片 PowerDown 控制引脚，高电平处于 PowerDown 状态。
48	TIME_SLOT_INTER	DO	30ms 时隙中断。
49	SYS_INTER	DO	系统控制中断。
50		DO	射频端发送相关参数配置中断，如发送混频器频点配置。
51		DO	射频端接收相关参数配置中断，如接收混频器频点配置。
52	VSS12	G	内核数字地。
53	VDD12	P	内核数字 1.2V 电源。
54	VDD33	P	数字 IO 3.3V 电源。
55	U_SDO	DO	MCU 访问 HR_C6000 寄存器或 RAM 存储区的 SPI 数据输出。
56	U_SDI	DI	MCU 访问 HR_C6000 寄存器或 RAM 存储区的 SPI 数据输入。
57	U_SCLK	DI	MCU 访问 HR_C6000 寄存器或 RAM 存储区的 SPI 串行时钟。



58	U_CS	DI	MCU 访问 HR_C6000 寄存器或 RAM 存储区的 SPI 片选。
59	RF_RX_EN	DO	控制射频接收开关使能，接收状态时，输出高电平。该信号不会与 RF_TX_EN 同时有效。
60	RF_TX_EN	DO	控制射频发送开关使能，发送状态时，输出高电平。该信号不会与 RF_RX_EN 同时有效。
61	ADC_VBG_Q	AIO	Q 路 ADC 通道外部去耦的带隙电压。
62	ADC_QVINN	AI	Q 路 ADC 通道差分输入的负端。
63	ADC_QVINP	AI	Q 路 ADC 通道差分输入的正端。
64	ADC_AVDD12_Q	AP	Q 路 ADC 通道模拟 1.2V 电源。
65	ADC_AGND_Q	AG	Q 路 ADC 通道模拟地。
66	ADC_AVDD33_Q	AP	ADC 模拟 3.3V 电源。
67	ADC_AVDD33_I	AP	ADC 模拟 3.3V 电源。
68	ADC_AGND_I	AG	I 路 ADC 通道模拟地。
69	ADC_AVDD12_I	AP	I 路 ADC 通道模拟 1.2V 电源。
70	ADC_IVINP	AI	I 路 ADC 通道差分输入的正端，或中频接收模式下信号接入端。
71	ADC_IVINN		I 路 ADC 通道差分输入的负端，中频接收模式下该端口接地或其他固定电压。
72	ADC_VBG_I		I 路 ADC 通道外部去耦的带隙电压。
73	DAC_AVSS33	AG	DAC 模拟地。
74	DAC_QVOUT/ MOD2	AO	Q 路 DAC 通道输出信号，或两点调制发送模式下 MOD2 端口。
75	DAC_IVOUT/MOD1	AO	I 路 DAC 通道输出信号，或两点调制发送模式下 MOD1 端口。
76	DAC_AVDD33	AP	DAC 模拟 3.3V 电源。
77	DCDC_VDD12	AO	DC-DC 1.2V 输出。
78	DCDC_VSS	G	DC-DC 数字地。
79	DCDC_VDD33	P	DC-DC 3.3V 电源。
80	DCDC_SW	O	DC-DC 内部 Switch。

2.3 封装尺寸

图 2.2 封装尺寸示意图

3 特性参数

3.1 静态特性

表 3.1 HR_C6000 静态参数

参数	条件	最小值	典型值	最大值	单位
供电					
VDD33、VCC		3.0	3.3	3.6	V
VDD12			1.2		V
工作温度		-40		85	°C
输入时钟					
频率			12.288		MHz
时钟信号偏置			1.5		V
时钟信号幅度		320			mV _{pp}
DC-DC					
输入电压		2.7	3.3	5.5	V
输出电压			1.2		V



输出电压纹波			50		mV
输出电流			100		mA
效率		85			%
ADC					
分辨率			10		Bits
输入电压	gain=0		2		V _{ppdif}
	gain=1		1		V _{ppdif}
输入共模电压		0.5	1.25	2	V
信号带宽	-3dB		40		MHz
输入阻抗			0.5		pF
			1.25		pF
增益误差					%FSR
偏置误差					%FSR
DNL			±0.5		LSB
INL			±1		LSB
THD					dB
DAC					
分辨率			10		Bits
输出电压	模拟			3.15	V
	3.3V				
增益误差			±2.5		%FSR
偏置误差			±0.30		%FSR
DNL			±1.0		LSB
INL			±1.5		LSB
电阻负载			1.5		KOhm
电容负载				30	pF
Codec					
分辨率			16		Bits
Codec 中的 ADC					
输入电压				1.6	V _{p-p}
输入阻抗			20		KOhm
THD+N			0.08		%
通带带宽		0		0.42	Fs
通带纹波				±0.1	dB
阻带		0.58			Fs
阻带衰减		76			dB
HPOut 输出电压				1.6	V _{p-p}
HPOut 的负载阻抗		16			Ohm
LineOut 的负载阻抗		30			KOhm
THD+N			0.05		%

输出管脚逻辑电平					
输出“1”(I _{OH} =)				2.4	V
输出“0”(I _{OL} =)		0.4			V
输入管脚逻辑电平					
输入“1”		2.0		5.5	V
输入“0”		-0.3		0.8	V

3.2 动态特性

表 3.2 HR_C6000 静态参数

参数	条件	最小值	典型值	单位
DAC				
SNR				dB
SINAD				dBFS
ADC				
SNR			57	dB
SINAD			56.5	dB
Codec 中 ADC				
输入电压 SNR			90	dB
LineOut 输出 SNR			95	dB

3.3 功耗参数

表 3.3 HR_C6000 功耗参数

	条件	最小值	典型值	最大值	单位
休眠状态	Note 1		1.66		mA
两点调制发送，中频接收					
待机	Note 2		11.51		mA
时隙发送（语音）	Note 2		11.32		mA
时隙发送（数字）	Note 2		8.40		mA
连续发送（语音）	Note 2		11.57		mA
连续发送（数据）	Note 2		8.64		mA
时隙接收（语音）	Note 2		11.86		mA
时隙接收（数据）			9.85		mA
连续接收（语音）	Note 2		13.44		mA



连续接收（数据）			11.53		mA
全双工	Note 2		13.72		mA

Note 1: 软件在复位状态下，芯片 PWD 被拉低。

Note 2: 待机状态下开启一路 ADC 以及一路 DAC，Codec 用 HR_C6000 动态控制。

3.4 性能参数

表 3.4 HR_C6000 调制解调性能参数

参数	条件	最小值	典型值	单位
发送				
两点调制(Mod1/Mod2)				
信号偏置		1.228	1.65	V
信号偏置调节精度			3.3	mV
信号幅度		8.75		mV
信号幅度调节精度			2240	mV
IQ 调制(I/Q)				
信号偏置		1.386	1.65	V
信号偏置调节精度			3.3	mV
信号幅度		0.17		V
信号幅度调节精度			2.725	V
接收				
IQ 解调(I/Q)				
信号偏置		0.5	1.25	V
$E_b N_0$			7	dB
最小接收门限		130		mV _{ppdif}
中频解调				
信号偏置		0.5	1.25	V
接收中频频率			450k	Hz
$E_b N_0$	BER=5%		7	dB
最小接收门限	加噪	150		mV _{ppdif}
Codec				
Mic 增益调节		-12		dB
Mic 增益调节步进			3	dB
数字端音量调节		-45		dB
数字音量调节步进			1.5	dB
HPOut 增益调节		0		dB

4 应用说明

4.1 芯片复位

4.1.1 上电复位

HR_C6000 可采用电阻、电容进行上电复位，参考电路如下。



图 4.1 芯片上电复位参考电路

为保证上电复位成功，要求复位时间保持最少 $0.1\mu\text{s}$ 。如图所示，0-0.8V 为稳定的低电平电压区间，2.0-3.3V 为稳定的高电平电压区间。

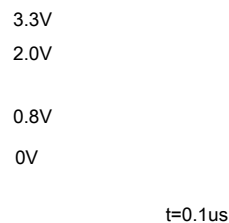


图 4.2 芯片上电复位时序图

建议采用与 CPU 相同的复位芯片或者由 CPU 的 GPIO 作为复位管脚。

4.1.2 软件复位

HR_C6000 除了在上电时候自动执行复位过程之外，还能根据实际应用需要通过 MCU 对芯片进行软件复位。软件复位操作通过配置寄存器 Reg0x00 的 Bit7 实现。将 Reg0x00 的 Bit7 配置成 0 后，完成对 HR_C6000 的一次软复位，复位时间为一个 Sys_Clk 脉冲宽度，即 $\frac{1}{9.8304}\mu\text{s}$ 。该 Bit 配置成 0 后无需通过 MCU 再次配置成 1 恢复正常工作模式，HR_C6000 自动将 Bit 置 1。

```

Sys_Clk

Wr_EN

Address      0x00

Data         0x7F 0xFF

Reset_Softer

```

图 4.3 芯片软件复位时序图

4.2 芯片供电

HR_C6000 需要 3.3V 供电，内置 DCDC 模块输出 1.2V 供数字和模拟内核使用。通过外部电路单独隔离模拟 3.3V、数字 3.3V 和模拟 1.2V、数字 1.2V 电源。数字 1.2V 和数字 3.3V 电源共用数字地；所有模拟 3.3V 共地；所有模拟 1.2V 共地。

供电网络如图所示，其中 VCC33 为系统提供总电源，AVDD33 为芯片模拟 3.3V 电源，DVDD33 为芯片数字 3.3V 电源。AVDD33 提供芯片内置 DCDC 模块，转换输出芯片所需的 1.2V 模拟电源 AVDD12 和数字电源 DVDD12。

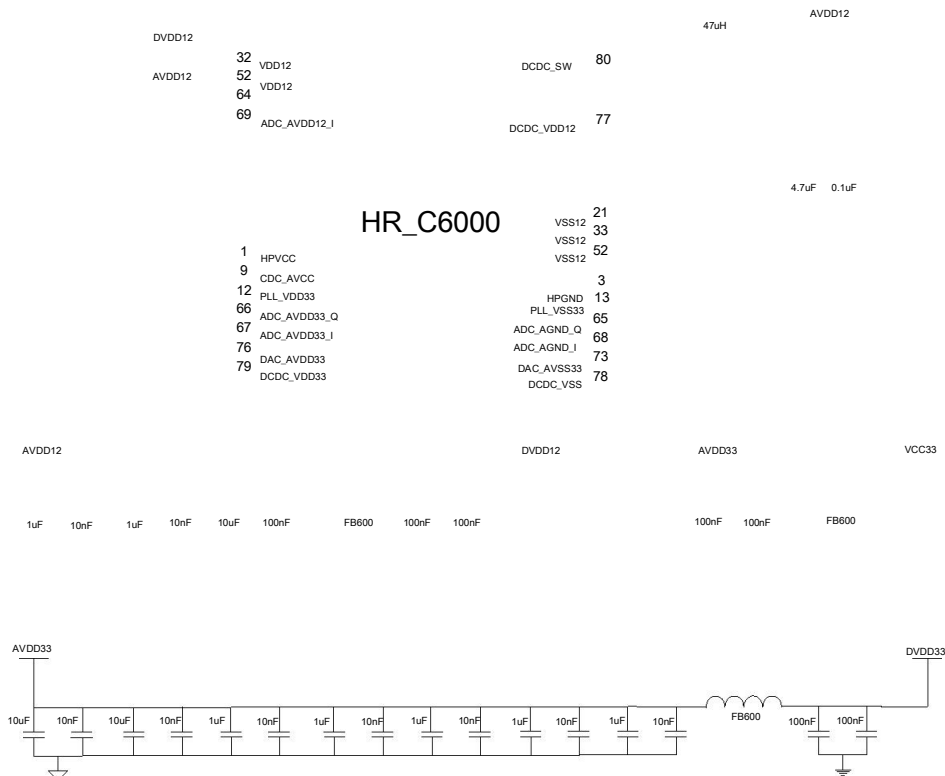


图 4.4 HR_C6000 电源参考电路

4.3 芯片工作时钟框图及说明

4.3.1 时钟电路

HR_C6000 对晶振的要求最佳偏置为 1.5V。在该偏置下，晶振输出要求 $V_{pp} \geq 2V$ 。芯片时钟由 XTALI 管脚输入。

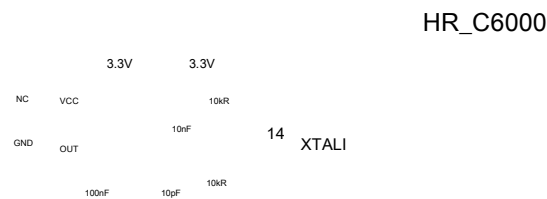


图 4.5 HR_C6000 时钟参考电路

4.3.2 时钟配置

配置芯片内置 PLL 的相关寄存器，使输入时钟经 PLL 锁定至 CLK，(推荐值为 49.152MHz)，并经芯片内部分频为 Sys_clk、Clk_codec、CLKOUT 三个时钟，其中，Sys_clk 为系统工作时钟，通过配置寄存器 0xB9 得到，Sys_clk 为 9.8304MHz；Clk_codec 为芯片内置 Codec 工作时钟，由寄存器 0xBA 配置得到，频率为 12.288MHz；而 CLKOUT 可为外置 Codec 或声码器提供工作时钟，时钟频率可通过 0xBB 寄存器进行配置，另外配置寄存器 0x0A 的 bit0(ClkOut_enb)，可以控制是否输出 CLKOUT 时钟，高电平时输出有效时钟。

HR_C6000 上电时，此时内部工作时钟默认直接由外部晶振提供，即 0x0A 的 bit7 为 1，更改配置 reg0x0B 和 reg0x0C 之后需要等待大于 500μs，等待 PLL 输出足够稳定后，才能将内部时钟从晶振切换回 PLL 输出。

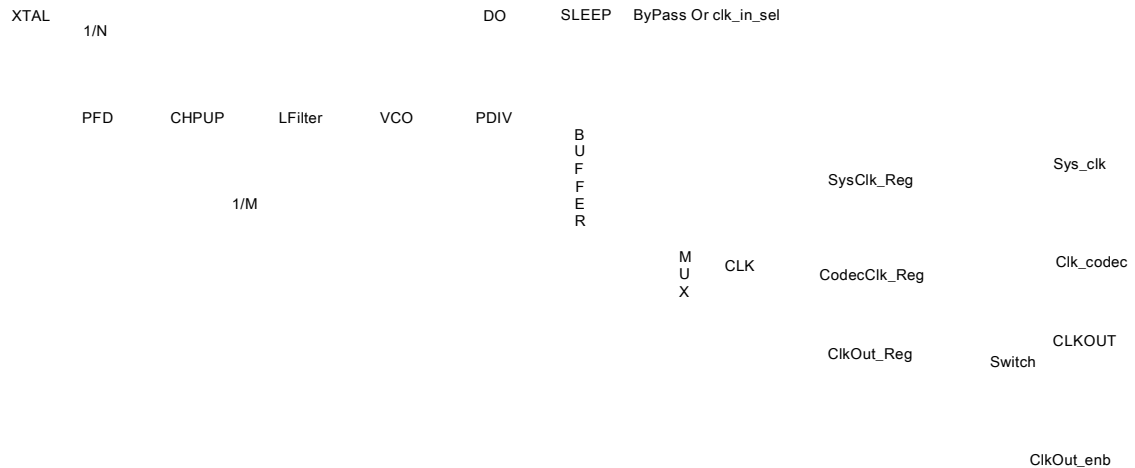


图 4.6 芯片工作时钟框图

芯片内置 PLL 通过 0x0B, 0x0C 寄存器进行配置, 具体计算公式如下:

$$CLK = XTALI \times PLLM / PLLN / NO;$$

其中:

$$NO = 2^{PLLDO}$$

$$1M < XTAL / PLLN < 25MHz;$$

$$200MHz < CLK \times NO < 1000MHz;$$

$$PLLM > 1; PLLN > 1;$$

将 0x0C 寄存器的 bit7 配置为 1, 可将 PLL bypass, 此时, PLL 输出即为 CLK=XTALI;
将 0x0C 的 bit6 配置为 1 或芯片 PWD 脚拉高, 可由使 PLL 进入休眠状态, 此时 PLL 无时钟输出。

将寄存器 0x0A 的 bit7(Clk_in_sel)配置为 1, 此时 CLK 不选择 PLL 的输出时钟, 而是直接选择 XTALI, 即 CLK=XTALI。

表 4.1 推荐二种典型 PLL 输出时钟配置参数

XTALI	PLL 配置参数	PLL 输出 时钟	系统时钟配置 参数	系统输出时钟
12.288M	Reg0x0B = 0x40 Reg0x0C = 0x32	49.152M	Reg0xB9 = 0x05 Reg0xBA = 0x04 Reg0xBB = 0x02	Sys_clk=9.8304 Clk_codec=12.288M CLKOUT=24.576M
29.4912 M	Reg0x0B = 0x28 Reg0x0C = 0x33	49.152M	Reg0xB9 = 0x05 Reg0xBA = 0x04 Reg0xBB = 0x02	Sys_clk=9.8304 Clk_codec=12.288M CLKOUT=24.576M

4.4 芯片的参数配置接口

MCU 通过 U_SPI 口对 HR_C6000 进行参数配置、状态控制信息及收发数据的写入/读取, 并根据 HR_C6000 给出的 TIME_SLOT_INTER、SYS_INTER、RF_TX_INTER、RF_RX_INTER 中断进行相应的中断处理。MCU 也可以通过 GPIO 管脚控制芯片的 Sleep 状态。其接口如下图所示。

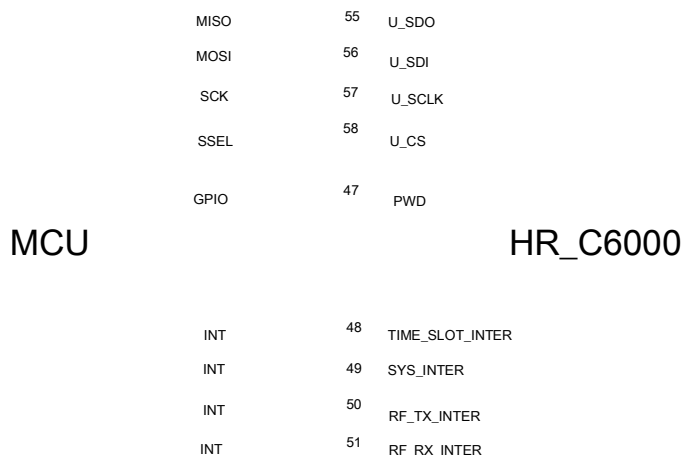


图 4.7 MCU 与 HR_C6000 接口

芯片的 U_SPI 接口工作于 **Slave** 模式，接口时序如下图所示。

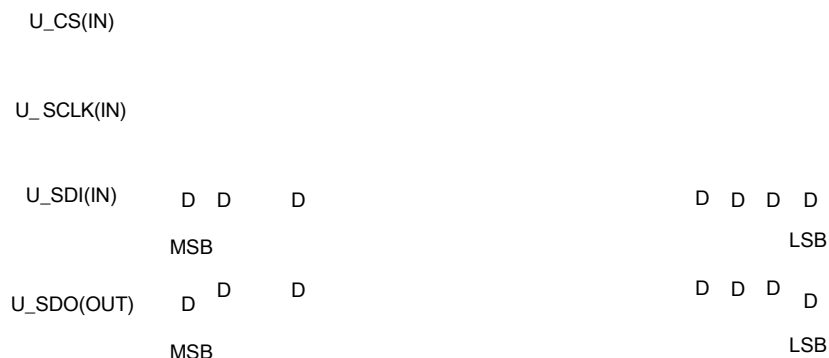


图 4.8 U_SPI 接口读写时序

其中 SCLK 最高支持 4M 时钟速率。

MCU 可以通过 GPIO 管脚控制 HR_C6000 的 **Sleep** 状态，当 GPIO 拉高时，芯片处于 **Sleep** 状态，HR_C6000 内部所有时钟均关闭。当 GPIO 再次拉低时，芯片处于正常工作模式，此时需要先 **ByPass** 内部 PLL，通过晶振 XTALI 直接 HR_C6000 提供时钟，等待 500μs 以上后切换到内部 PLL 提供给 HR_C6000 工作时钟。如图所示，XTALI 为晶振输入时钟信号，PWD 为 HR_C6000 的 **Sleep** 信号，Sys_clk 为 HR_C6000 的工作时钟；PLL_Sys_clk 为 PLL 输出后的按照 HR_C6000 的工作时钟要求分频得到的时钟。

MCU 配置 PWD 为高，PWD 在 100ns 后稳定有效，此时 HR_C6000 内部时钟全部清零，PWD 再次拉低后，需要将工作时钟切换到 XTALI，等待 PLL 稳定输出分频后的 PLL_Sys_clk 后，切换到 PLL 的分频输出时钟，稳定时间大于 500μs。

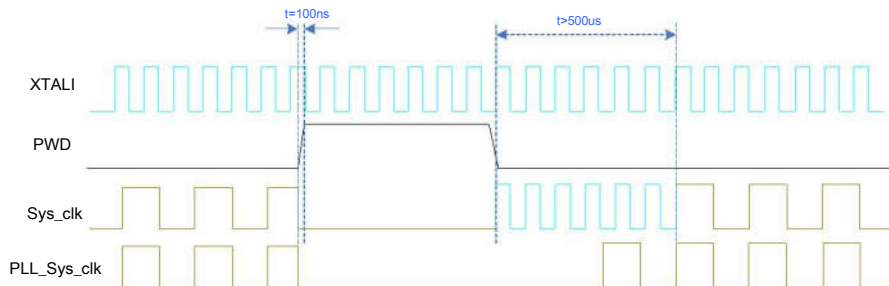


图 4.9 PWD 控制时序以及工作时钟切换要求示意图

HR_C6000 提供 4 个中断管脚，中断低脉冲有效，脉冲宽度为 3 个系统工作时钟(Sys_clk, 9.8304MHz)，SYS_INTER 为获取系统接收和发送信息的指示中断，发送过程和接收过程提示 MCU 状态或控制信息；TIME_SLOT_INTER 为 30ms 时隙中断，该中断在 HR_C6000 建立同步时隙后一直循环产生，用于对 MCU 建立一个 TDMA 的时隙结构；RF_TX_INTER 和 RF_RX_INTER 为射频收发切换控制中断，仅在出现时隙收发切换过程中产生，便于 MCU 对射频通道进行准确及时控制，其中 RF_TX_INTER 和 RF_RX_INTER 按照 30ms 为周期交替产生。为了方便射频发送控制提前启动，可以设置寄存器 Reg0x12 控制 RF_TX_INTER 和寄存器 Reg0xC0 控制 RF_RX_INTER 相对 30ms 边界的提前 0-6ms 可以配置。

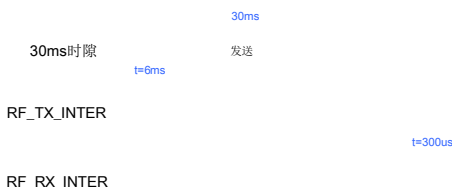


图 4.10 RF_TX_INTER 和 RF_RX_INTER 产生示意图

表 4.2 RF_TX_INTER 中断控制寄存器地址说明

地址	功能
0x12	Bit[5:0]配置射频收发切换中断 RF_TX_INTER 相对 30ms 边界提前量，递增步长为 100μs。 Bit[5:0]配置射频收发切换中断 RF_RX_INTER 相对 30ms 边界提前量，递增步长为 100μs。

4.5 Codec 的使用

HR_C6000 内置Codec，实现Mic输入和LINEOUT输出，提供Mic增益控制和LINEOUT²音量控制，有效减少用户外围器件；同时为外部 Codec 配置标准 I S 接口，用户也可根据自己的需求选择合适的 Codec。

4.5.1 采用内置 Codec

采用内置 Codec 的接口电路如下所示。其中 LINEOUT 口需外加音频功放，用于驱动喇叭。

图 4.11 采用内置 Codec 的接口电路

内置 Codec 的 ADC 端和 DAC 端有多级增益分别可调，图 4.12 为内置 Codec 内部结构框图。各级增益分别为：

- MIC_VOL，调整进入 ADC 之前的模拟输入量，可调 0，-6，-12dB 共 3 档；
- ADLIN_VOL，调整进入 ADC 之前的模拟输入量，可调 0~+36dB，步进为 3dB；
- DALIN_VOL，调整内置 Codec 的 DAC 输出数据的增益大小，增益控制的步长为 1.5dB 可以通过使能控制声音调试是变大或是减小；当调节变小的时候，0 为最小；当调节声音变大时候，0 为声音调节无效，声音大小不变保持原来不变；
- HPOUT_VOL，调整内置 Codec 的 DAC 输出数据增益大小，可调 0，2，4，6dB，共 4 档。

图 4.12 内置 codec 内部结构框图

各级增益均通过寄存器可以配置，内置 Codec 相关寄存器如下表。

表 4.3 内置 Codec 寄存器地址表

	功能
0xE0	MCU 控制 Codec 使能，以及 Codec 的 LINEIN 端、MIC 端和 LINEOUT 端的使能
0xE2	Codec 的 DAC 或者 ADC 端的开关使能和 Codec 的 Powerdown 控制使能。
0xE3	K1 开关控制
0xE4	Bit7-6: LINEOUT 增益控制；Bit5-4: Mic 的第一级增益；Bit3-0: Mic 的第二级增益。
0x37	DALIN_VOL 增益控制，Bit5-0 的步长为 1.5dB 其中全 0 为最小声音，Bit6 控制声音变大或者变小，Bit7 声音调节使能，为 0 时候，声音调节无效，声音大小不变。

4.5.2 采用外置Codec

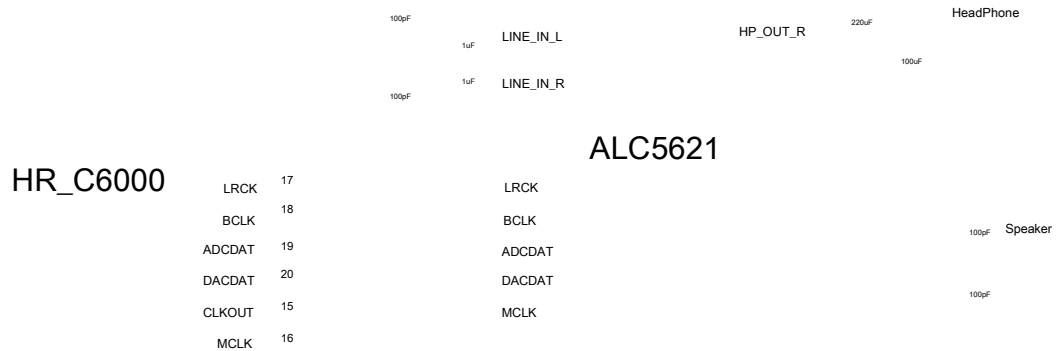


图 4.13 采用外置Codec 的接口电路

当 HR_C6000 采用外置Codec 时，通过I²S 接口与Codec 进行数据的交换。接口时序如下所示。

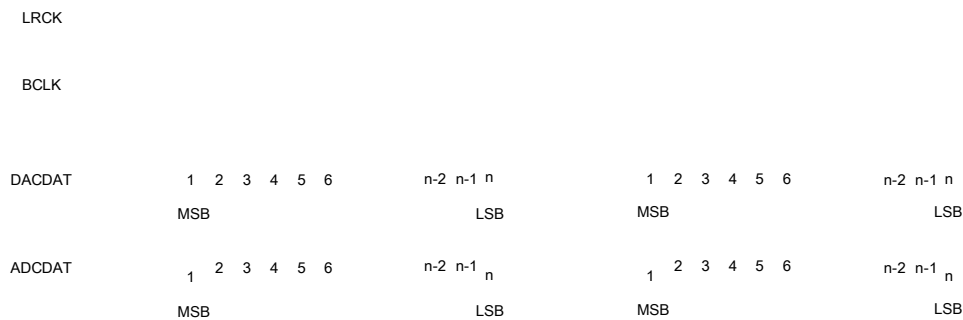


图 4.14 I²S 接口时序

其中：

- 1，LRCK 时钟频率由Codec 时钟频率与寄存器0x32、0x33 决定。默认状态下LRCK 时钟频率为8KHz。
LRCK 时钟频率=Codec 时钟频率/[2*(参数值+1)]，其中参数值由{寄存器0x32 值，寄存器 0x33 值}得到。
- 2，BCLK 时钟频率由Codec 时钟频率与寄存器0x30、0x31 决定。
BCLK 时钟频率=Codec 时钟频率/[2*(参数值+1)]，其中参数值由{寄存器0x30 值，寄存器 0x31 值}得到。
- 3，如果使用默认的外置Codec(ALC5621)，则LRCK 为 8KHz，BCLK 为 512KHz。同时需要将芯片CLKOUT 管脚与芯片MCLK 管脚相连，CLKOUT 输出 24.576MHz 时钟，用于芯片内部I2S 的工作。将芯片CLKOUT 管脚与Codec 的工作时钟输入管脚相连。在使用芯片内置Codec 时，芯片CLKOUT 管脚与芯片MCLK 管脚不用相连。

外置Codec的所有管脚均可以复用做数字IO输出，可以用于控制射频和主控芯片的高低切换，高低切换时间参考30ms时隙边界的延时或提前6ms以内可以任何配置，配置最小步

长为100us。

表4.4

地址	功能
0xC7/C8	控制LRCK 管脚复用，其中C7 的 Bit7 为复用控制使能，Bit6 确认高电平相对30ms 时隙边界提前或延后，0 为提前，1 为延后；Bit5-0 控制提前或延后量，步长为100us。其中C8 的 Bit6 确认低电平相对30ms 时隙边界提前或延后，0 为提前，1 为延后；Bit5-0 控制提前或延后量，步长为100us
0xC9/CA	控制ADCDAT 管脚复用。定义与LRCK 复用方式相同。
0xCB/CC	控制MCLK 管脚复用。定义与LRCK 复用方式相同。
0xCD/CE	控制BCLK 管脚复用。定义与LRCK 复用方式相同。
0xCF/D0	控制DACDAT 管脚复用。定义与LRCK 复用方式相同。

如下图，以LRCK 管脚的控制为例说明高低电平的控制示意图。其他管脚控制方式与这个相同。

图 4.15 LRCK 管脚复用做通用IO 的控制接口时序

4.6 声码器

HR_C6000 可以采用McBSP 和 CHS 串行接口无缝对接AMBE3000 和 AMBE1000 等声码器芯片，同时提供标准SPI 和 I²S 接口，与宏睿HR_V3000 声码器、清华SELP 声码器、712 厂 AVDS 声码器无缝对接，支持加密语音、数据接口，同时为数字语音录音、回放及提示音输入提供接口。

4.6.1 与宏睿HR_V3000 声码器接口定义

HR_V3000 与HR_C6000 通过V_SPI 传输压缩编码后的数字语音流或待解码的数字语音流，通过I²S 接口与声码器传输PCM 数据，其中HR_C6000 的I²S 接口工作在主模式下；MCU 通过UART 接口与HR_V3000 传递语音加解密密钥或语音帧同步信息。V_SPI 口的接口时序如下图所示。

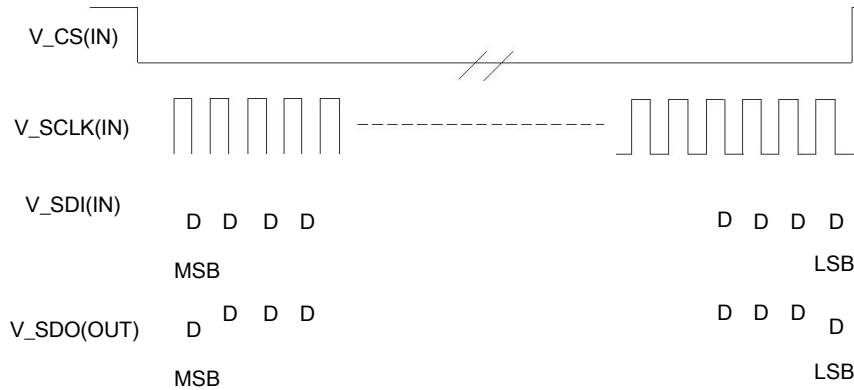


图 4.16 通用V_SPI 接口读(写)时序

其中 SCLK 最高支持4M 时钟速率。

V_SPI 的帧格式如下图所示。需要进行说明的是：

V_SPI 接口每次只能进行一种操作，读或者写。

进行读操作时，Cmd=0x83，Addr=0x00，读 27 个 Data(byte)。

进行写操作时，Cmd=0x03，Addr=0x00，写 27 个 Data(byte)。



图 4.17 V_SPI 帧格式

通过V_SPI 接口HR_C6000 与宏睿HR_V3000 声码器通信，仅需将HR_C6000 的寄存器 reg0x06 配置成0x24。HR_V3000 与 HR_C6000 以及 MCU 的连接框图如图所示。

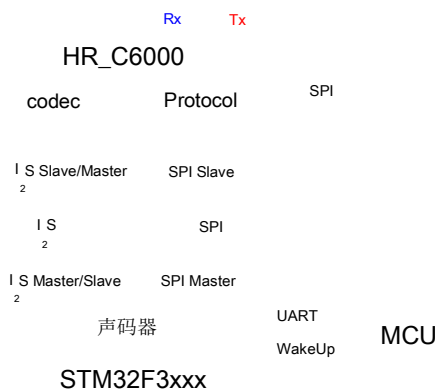


图 4.18 HR_V3000 声码器与HR_C6000 连接框图

如图4.19 为I²S 的接口时序。

I²S 工作在主模式，需要通过寄存器0x2F 配置I2S_CK_M 时钟频率，计算方法为codec 工作频率/(2*(寄存器0x2F 值+1))。通过寄存器0x32、0x33 配置I2S_FS_M 时钟频率（配置的I2S_FS_M 时钟频率必需为8KHz），计算方法为codec 工作频率/(2*({寄存器0x32 值, 0x33 值}+1))。同时I2S_CK_M 频率>34* I2S_FS_M 频率，并且codec 时钟频率>=6*I2S_CK_M 频率。

当I²S 工作在主模式时，通过寄存器0x36[6]，可以关闭I2S_CK_M、I2S_FS_M 信号。当 0x36[6]=0，开启这两个信号，反之则关闭这两个信号。

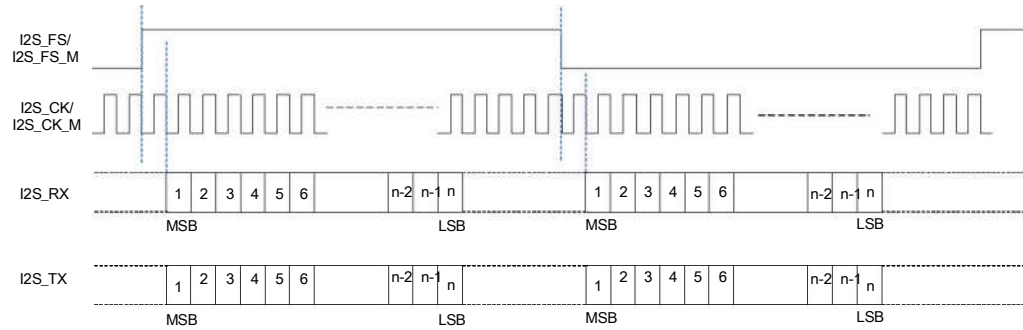


图 4.19 I2S 接口时序

HR_V3000 声码器使用的详细说明请参考《HR_V3000 声码器使用说明.doc》。

4.7 发射模块

HR_C6000 内置两个高性能 DAC，采用单端输出，支持基带 IQ、中频和两点调制等射频接口，两路信号幅度、偏置分别可调。

用户可以通过配置寄存器选择相应的发送接口，两路输出信号偏置和两路输出信号的幅度。

此外，为了控制芯片的功耗，用户可以通过设置 0x25 寄存器在 DAC 不工作时将其关闭。配置 0x25 的 Bit3、Bit2 可以选择是由 HR_C6000 根据发送时隙自动对 DAC 进行控制，或者由 MCU 通过配置 Bit5、Bit4 对 DAC 的工作状态进行控制。

表 4.5HR_C6000 基带发送控制寄存器地址

地址	功能
0x01	Bit7 选择 HR_C6000 发送端口与射频发送端口对应关系；Bit[5:4]选择配置四种发送模式中的一种。其中 2'b00 表示发送中频模式，2'b10 表示发送基带 IQ 模式，2'b11 表示发送两点调制模式。
0x02	基带发送输出 I 路的偏置值。
0x04	基带发送输出 Q 路的偏置值。
0x07	中频频率字高 8bit
0x08	中频频率字中 8bit
0x09	中频频率字低 8bit
0x12	Bit7 配置平滑处理使能；bit6 配置两点调制测试方波输出使能；bit[5:0]射频发中断提前量，递增步长为约 100μs。
0x25	DAC 工作控制字。
0x2E	发送提前量配置值，由于射频通道延时不同，为保证空中 DMR 信号严格对应应在时隙边界发送，配置该寄存器可以抵消该延时量，步进为 100μs。内部通道固定延时为 400μs，因此在射频端无延时，该寄存器应该配置为 0x04。
0x45	调整两点调制 MOD2(DAC_IVOUT)幅度大小
0x46	调整两点调制 MOD1(DAC_QVOUT)幅度大小
0x47	定义两点调制偏置调整值，共 10bit，其中高 2bit 定义在

	reg0x48 的低 2bit 中。
0x48	Bit[1:0]定义两点调制偏置调整值，共 10bit，其中低 8bit 定义在 reg0x47 中

4.7.1 基带 IQ 调制

通过设置寄存器 0x01[5:4]=2'b10，使 HR_C6000 工作于发送基带 IQ 模式，可以通过配置 0x02、0x04 寄存器分别调节 IQ 两路信号的偏置值。

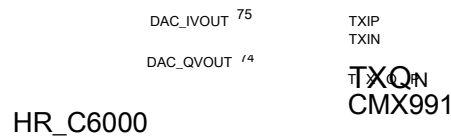


图 4.20 基带 IQ 调制接口电路

如上图所示，HR_C6000 基带 IQ 信号为单端输出，信号偏置电压为 1.65V，基带 IQ 信号经滤波器后分别接到 CMX991 的 TXIP、TXQP，而 CMX991 的基带信号负端 TXIN、TXQN 则接 1.65V 的直流电压。其中滤波器用于滤除基带发送信号经 DAC 转换后的镜像信号。

基带 IQ 模式下，发送随机信号时差分输出幅度最大为 2725mV。

通过设置寄存器 0x02 可调整输出 I 路偏置，调整范围约为±264mV，最小调整步径为 3.3mV。

通过设置寄存器 0x04 可调整输出 Q 路偏置，调整范围约为±264mV，最小调整步径为 3.3mV。

通过设置寄存器 0x12[7]，可选择发送平缓上升起点，若配置 0x12[7]=1'b0，则平缓上升起点为 1.65V，若配置 0x12[7]=1'b1，则平缓上升起点为 0V。

通过设置寄存器 0x12[5:0]，可以配置射频控制中断 RF_TX_INTER 相对 30ms 时隙边界提前量，可调范围为 0μs~6300μs，最小调整步径为 100μs。

通过设置寄存器 0x45[3:0]可同时调整输出 IQ 两路幅度，可调范围约为 170mV~2725mV，最小调整步径为 170mV。

4.7.2 两点调制

通过设置寄存器 0x01[5:4]=2'b11，使 HR_C6000 工作于两点调制模式，可以通过配置 0x02、0x04 寄存器分别调节两点调制信号的偏置值。如下图所示，两点调制信号经过两个运放调节其信号偏置及信号幅度得到 MOD1、MOD2 两路信号分别控制晶振及 VCO，实现两点调制，其中 Bias1 与 Bias2 分别为运放的偏置电压，可通过 DAC 或者数调电阻得到，AD5165 则为运放反馈电阻，可用于调节信号幅度。



图 4.21 两点调制接口信号

两点调制模式下，发送随机信号时差分输出幅度最大约为 2240mV。

通过配置寄存器 0x01[7]可以调整调制频偏映射关系，配置 0x01[7]=0，对应符号与调制频偏的关系为：

表 4.6 信号的符号与调制频偏对应关系

符号	调制频偏
+3	1944 Hz
+1	648 Hz
-1	-648 Hz
-3	-1944 Hz

配置 0x01[7]=1，对应符号与调制频偏的关系为：

表 4.7 信号的符号与调制频偏对应关系

符号	调制频偏
-3	-1944 Hz
-1	-648 Hz
+1	648 Hz
+3	1944 Hz

通过设置寄存器 0x04 可调整输出 MOD1 路偏置，调整范围约为±422mV，最小调整步径为 3.3mV。

通过设置寄存器 0x02 可调整输出 MOD2 路偏置，调整范围约为±422mV，最小调整步径为 3.3mV。

通过设置寄存器 0x12[7]，可选择发送平缓上升起点，配置 0x12[7]=1'b0，则平缓上升起点为 1.65V，若配置 0x12[7]=1'b1，则平缓上升起点为 0V。

通过设置寄存器 0x12[6]=1'b1，可发送 40Hz 方波，用于两点调制调试。

通过设置寄存器 0x12[5:0]，可以配置射频控制中断 RF_TX_INTER 相对 30ms 时隙边界提前量，可调范围为 0μs~6300μs，最小调整步径为 100μs。

通过设置寄存器 0x46 可调整输出 MOD1 路幅度，可调范围约为 8.75mV~2240mV，最小调整步径为 8.75mV。

通过设置寄存器 0x45 可调整输出 MOD2 路幅度，可调范围约为 8.75mV~2240mV，最小调整步径为 8.75mV。

当发送采用两点调试模式，如果接收射频通道需要 HR_C6000 输出直流电压用于控制

晶振的电压，则需要配置 0x25 寄存器的 Bit5=1 及 Bit3=0，使该路 DAC 处于常开状态。此时，可以通过配置寄存器 0x47[1:0]和 0x48[7:0]（其中 0x47[1:0]为高 2bit），设置 MOD1 在接收状态下的输出电压值，调节范围为 0~3.3V。

4.7.3 中频 IQ 调制

设置 0x01[5:4]=2'b01，HR_C6000 工作于中频 IQ 模式。HR_C6000 与射频的接口与基带 IQ 类似。在这种工作模式下，中频频率可通过 0x07、0x08、0x09 三个寄存器得到，计算公式如下所示。

中频频率字 IF_word={0x07, 0x08, 0x09};

$$IF_word = IF_Freq / Sys_clk \times 2^{24}$$

其中，IF_Freq 为所需的中频频率；Sys_clk 为芯片的系统工作时钟 9.8304MHz。

4.7.4 中频调制

设置 0x01[5:4]=2'b00，HR_C6000 工作于中频模式。HR_C6000 中频输出方式与中频 IQ 的差异主要在于，将中频 IQ 两路信号合并后以单端的接口方式输出的射频端。中频频率字的定义方式与中频 IQ 模式相同。

4.8 接收模块

HR_C6000 内置两个高性能 ADC，支持基带 IQ、中频 IQ、中频等射频接口，并支持两路幅度和偏置分别可调。

通过寄存器配置控制两路 ADC 信号满量程输入时的电压。

此外，为了控制芯片的功耗，可以通过配置选择是由 MCU 自动根据接收时隙将相应的 ADC 在发送时隙置为休眠模式，或者由 MCU 控制相应 ADC 的工作状态。

表 4.8 HR_C6000 基带发送控制寄存器地址

	功能
	Bit7 选择 AF 接收模式或非 AF 接收模式，如果选择非 AF 接收模式，通过 0x01 的 Bit[3:2]选择多种接收模式中的一种。
	Bit6 选择 HR_C6000 接收端口与射频接收端口对应关系；
	Bit[3:2]选择配置三种接收模式中的一种。其中 2'b00 表示接收中频模式，2'b01 表示接收中频 IQ 模式，2'b10 表示接收基带 IQ 模式。
0x03	基带接收输入 I 路的偏置值。
0x05	基带接收输入 Q 路的偏置值。
0x07	中频频率字高 8bit
0x08	中频频率字中 8bit
0x09	中频频率字低 8bit
0x12	Bit7 配置平滑处理使能；bit6 配置两点调制测试方波输出使能；bit[5:0]射频发中断提前量，递增步长为约 100μs。
0x26	ADC 工作控制字。

0x27	ADC 工作控制字。
0x28	ADC 工作控制字。
附表 0x52	配置信号能量检测门限高 8 位的信息。
附表 0x53	配置信号能量检测门限低 8 位的信息。
附表 0x54	配置定时同步模块检测门限
附表 0x55	配置到达检测模块检测门限

4.8.1 基带 IQ

通过设置 0x01[3:2]=2'b10, 可使 HR_C6000 工作于基带 IQ 模式, 通过配置 0x03、0x05 寄存器可对接收 IQ 信号的偏置进行调节。其中寄存器 0x03 可调整 AD 输入 I 路偏置, 在数字端调节范围为-127~127, 寄存器 0x05 可调整 AD 输入 Q 路偏置, 在数字端调节范围为-127~127。

另外, 设置附表寄存器 0x52、0x53, 可设定信号能量检测的阈值, 其中 0x52 中配置高 8 位的信息, 设置附表寄存器 0x54, 可设定定时同步模块检测门限, 设置附表寄存器 0x55, 可设定到达检测模块检测门限。

使用基带 IQ 的接收框图如下所示。

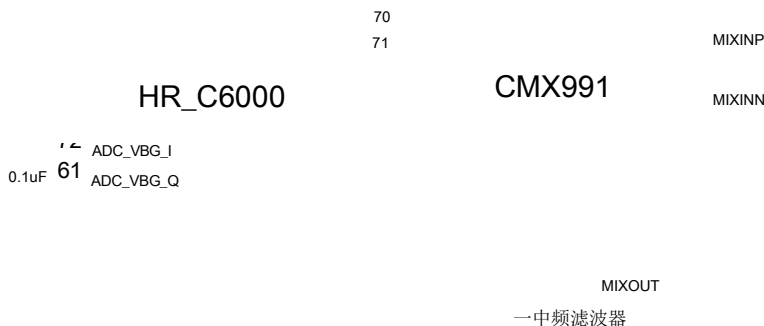


图 4.22 基带 IQ 接收参考接口电路

以 HR_C6000 与 CMX991 连接为例, 接收的射频信号经滤波、放大后进入 CMX991 接收端, 经 991 内部混频至 45MHz(或者 90MHz)一中频后输出, 经一中频滤波放大后, 又送回 991, 进行第二次混频至基带, 并将基带差分信号送给 HR_C6000。其中一中频滤波器主要用于滤除邻道干扰信号。

4.8.2 中频模式

通过设置 0x01[3:2]=2'b00, 可使 HR_C6000 工作于中频模式, 通过配置 0x03、0x05 寄存器可对接收中频信号的偏置进行调节, 同时可通过配置 0x07、0x08、0x09 对 HR_C6000 接收的中频频率进行设置, 其计算公式见 4.7.3。通过设置附表寄存器 0x52、0x53, 可设定信号能量检测的阈值, 其中 0x52 中配置高 8 位的信息; 设置附表寄存器 0x54, 可设定定时同步模块检测门限, 设置附表寄存器 0x55, 可设定到达检测模块检测门限。

使用中频模式的接收框图如下所示。

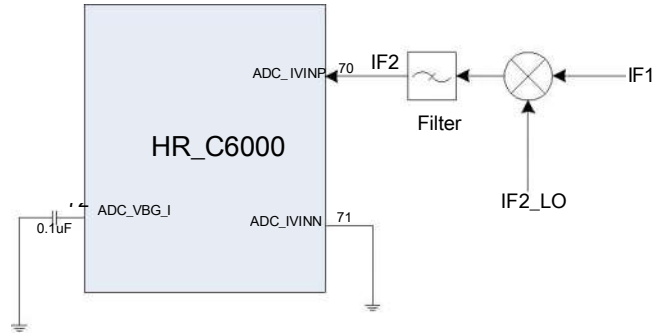


图 4.23 中频接收参考接口电路

接收信号经滤波、放大、混频至低中频，经过低中频放大器送给 HR_C6000 的 AD 管脚 ADC_IVINP，而 ADC 的负端 ADC_IVINN 可以接地或者接收中频信号的偏置电压。需要注意的是，低中频滤波器主要用于滤除邻道干扰信号，当信道间隔为 25KHz 时，滤波器带宽可选 $\pm 7.5\text{KHz}$ ，当信道间隔为 12.5KHz 时，滤波器带宽可选 $\pm 3.75\text{KHz}$ 或 $\pm 4.5\text{KHz}$ 。

图 4.24 HR_C6000 参考接口电路

5 分层功能说明

HR_C6000 采用灵活的分层设计模型，针对不同的用户需求，灵活开放不同的层次供用户使用。

分层设计采用三层构架，如图所示。

控制和数据业务

语音业务

呼叫控制层

数据链路层

物理层

图 5.1 HR_C6000 三层开放架构

一层模式主要解决基带或低中频信号的通道滤波和信号的调制解调过程，如上图中绿色虚线框中所定义的功能。用户使用一层模式需要自行解决信道编解码以及所有通信协议栈的处理，具有最大的开发灵活度和开发工作量。

二层模式主要是开放一层所有内容的基础上，完成信道的编解码以及交织解交织和校验等部分的工作，如上图中灰色虚线框中所定义的功能。用户仅需要解决通信协议栈的处理流程，具有较大的开发灵活度和适度的开发工作量。

三层模式是指 HR_C6000 根据 DMR 协议定义的所有应用功能，完成信号的调制解调、编解码，以及所有标准化应用功能的协议栈设计，如上图中蓝色虚线框中所定义的所有功能。用户使用这些应用功能，仅需要配置相应的功能寄存器，便可以快速方便的使用所有 DMR 协议定制的语音和数据业务。

HR_C6000 主要基于二层模式开发，用户无需关注信道的编解码交织以及底层的调制解调过程。

5.1 中断使用说明

5.1.1 中断使用描述

三层功能相应的中断为 **sys_inter**，该中断由两级子中断构成，在收到该中断后，MCU 读取中断状态寄存器 **0x82**，可以通过寄存器 **0x81** 将相应的中断屏蔽掉，同时通过寄存器 **0x83** 清除对应位的中断信号列表，获得 8 个类型的中断，包括：

Bit7：DMR 模式下：表示发送请求拒绝

该中断没有子状态寄存器。

在 DMR 模式下，表明本次发送请求因为信道忙而被拒绝；

Bit6：DMR 模式下：表示发送开始；在 MSK 模式下：表示发送乒乓缓存半满中断

在 DMR 模式下，发送开始有子状态寄存器 **0x84**，可以通过 **0x85** 将相应的中断屏蔽掉。子状态寄存器中表明了 7 种产生发送开始的中断，包括：

Bit7：语音发送开始

Bit6：OACSU 请求发送中断，包括首次发送和重发请求。

- Bit5** : 端-端语音增强加密中断, 包括 **EMB72bits** 更新中断和语音 **216bits** 密钥更新中断, 通过寄存器 **0x88** 的 **Bit5~Bit4** 加以区分, 其中 **01** 表示 **EMB72bits** 更新中断, **10** 表示语音 **216bits** 密钥更新中断。
- Bit4** : **Vocoder** 配置返回中断(本中断为 **MCU** 手动配置 **AMBE3000** 时, 由 **HR_C6000** 向 **MCU** 发送配置完成中断)。该中断仅当使用外置 **AMBE3000** 声码器使用有效。
- Bit3** : 数据发送开始
- Bit2** : 数据部分重传
- Bit1** : 数据全部重传
- Bit0** : 声码器初始化完成中断。该中断仅当使用外置 **AMBE3000** 或者 **AMBE1000** 声码器使用有效。

在 **MSK** 模式下, 没有子中断状态。

- Bit5** : **DMR** 模式下: 表示发送结束; **MSK** 模式下: 表示发送结束中断。
在 **DMR** 模式下, 发送结束有子状态寄存器 **0x86**, 可以通过 **0x87** 将相应的中断屏蔽掉。子状态寄存器中表明了 6 种产生发送结束的中断, 包括:
- Bit7** : 表示业务发送完全结束, 包括语音和数据, 具体由 **MCU** 区分本次发送的是语音还是数据, 确认数据业务完成接收是指收到反馈正确的 **Response** 包。
- Bit6** : 表示滑动窗数据业务中, 无需立即反馈的一个 **Fragment** 长度确认数据包发送完成。
- Bit5** : 语音 **OACSU** 等待超时
- Bit4** : 二层模式处理中断, **MCU** 下发配置信息到芯片的最后处理时机控制中断, 如果在该中断之后, **MCU** 还未将下一帧即将发送的所有信息写到芯片, 则下一个时隙不能配置为发送时隙。该中断仅在芯片工作在二层模式下有效。
- Bit3** : 表示需要反馈的一个 **Fragment** 确认数据包发送完成, 该中断主要应用于确认式短信发送完所有数据包后或者滑动窗数据业务中需要反馈的数据包发送完成后告知 **MCU** 启动等待 **Response** 包的计时器。
- Bit2** : **ShortLC** 接收中断
- Bit1** : **BS** 激活超时中断

在 **MSK** 模式下, 无子状态中断。

- Bit4** : **DMR** 模式下: 表示后接入中断; **MSK** 模式下: 表示应答响应中断
DMR 模式下后接入中断没有子状态寄存器, 在收到该中断后, 表明接入的语音通信方式是后接入方式。
在 **MSK** 模式下, 该中断没有子状态寄存器。
- Bit3** : **DMR** 模式下: 表示控制帧解析完成中断; **MSK** 模式下: 表示接收中断。
在 **DMR** 模式下, 此中断没有子状态寄存器, 但是其接收数据的对错和接收类型由 **0x51** 寄存器给出, 利用 **DLLRecvDataType**、**DLLRecvCRC** 说明收到的数据类型和对错情况, **MCU** 据此进行相应的状态显示, 也可以屏蔽相应的中断。
在 **MSK** 模式, 该中断没有子状态中断。
F 帧的 **EMB** 信息解析完成提示也是该中断完成, 通过判断 **0x51** 寄存器 **SyncClass=0** 进行区分。
- Bit2** : **DMR** 模式下: 表示业务数据接收中断; 在 **FM** 模式下: 表示 **FM** 功能检测中断。

在 DMR 模式下，该中断有子状态寄存器 0x90，子状态寄存器有 3 种类型：

1. 0x80 表示整个信息接收校验通过，在业务数据校验通过后，MCU 通过 SPI 端口提取 RX 端 1.2KRAM 中地址 0x30 后的数据，取数据的长度由接收到帧头对应字段定义；
2. 0x00 表示整个信息接收校验错误；
3. 0x40 表示非确认短信异常中断产生；

在 FM 模式下，该中断有子状态寄存器 0x90，子状态寄存器有 1 种类型：

1. 0x10 表示 FM 功能检测中断匹配，在 FM 模式下检测到该接收中断对应匹配后开启相应的模拟声音输出。

Bit1：DMR 模式下：表示语音异常退出；

在 DMR 模式下，DMR 模式下产生异常的原因是状态机内部产生的非预期异常语音中断，通过寄存器地址 0x98 的 Bit2~Bit0 获取对应的语音异常类型。

Bit0：物理层单独工作接收中断

物理层单独工作接收中断没有子状态寄存器，该中断产生于物理层单独工作模式下，接收到数据后产生该中断，通知 MCU 读取相应的寄存器获得接收数据。该中断一般在物理层模式下测试误码率或其他性能使用。

系统中断的处理方式如下具体响应树状图如下所示（未包含 FM 模式）：

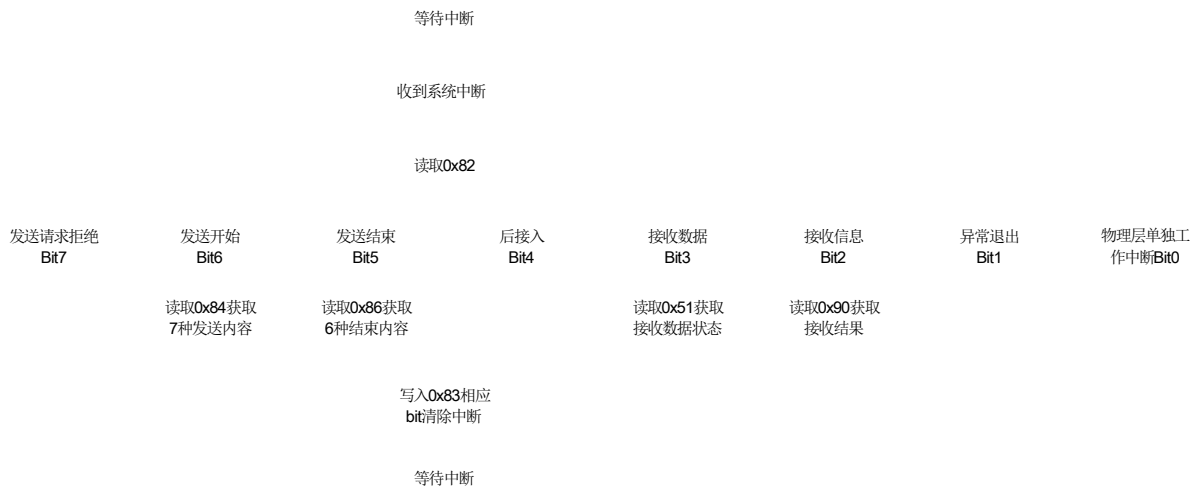


图 5.2 中断响应树状图

Time_slot_inte 中断为 TDMA 时隙中断，当 HR_C6000 的同步时隙建立后，该中断以 30ms 为间隔持续给出。直到同步失去为止。

5.2 接口读写使用说明

用户通过通用的 U_SPI 访问的内容包括寄存器系统参数表、寄存器附表、TX 端 1.2KRAM 和 RX 端 1.2KRAM，访问帧格式为：

Cmd	Addr	Data0	Data1...	Datan
-----	------	-------	----------	-------

图 5.3 U_SPI 访问帧格式

表 5.1 Cmd 表示 SPI 口的读写状态及相应的地址空间

Cmd	W	IsRead	Bit7	1 表示本次操作为读, 0 表示本次操作为写
		读写初始地址扩展	Bit6	0 不扩展, 1 扩展
		OPMode	Bit5-Bit3	保留
			Bit2-Bit0	000 保留
				001 表示操作附属参数配置表,
				010 表示操作写发端 RAM, 读收端 RAM,
				100 表示操作系统参数表,
				101 表示配置 AMBE3000 寄存器
				110 表示操作写收端 RAM, 读发端 RAM,
				111 表示配置 AMBE1000 寄存器

Cmd 最高位选择本次为读操作还是写操作, 低 3bit 选择本次读写操作的类别。

Addr 为本次读写的起始地址, 在后续写入(或读取)的数据, 将从该起始地址开始, 并且逐个累加, 在每一次 CS 有效情况下, 将持续累加。

当 Cmd[6]=1'b0, Addr 表示 8bits(高位在前), 读写起始地址为 Addr;

当 Cmd[6]=1'b1, Addr 表示 16bits(高位在前), 读写起始地址为{Addr[2:0], Addr[15:8]}。

1,对寄存器系统参数表的寄存器 0x01 写入 0x80 格式为:

Cmd	Data
8'b 0 0000 100	8'b1000 0000

2,读取收端 1.2KRAM 从 0x30 开始的 2 字节数据(数据内容依次为 0x01, 0x02)的格式为:

Cmd	Addr	Data0	Data1
8'b 1 0000 010	8'b0011 0000	8'b0000 0001	8'b0000 0010

另外, Cmd 的 OPMode 位为 101, 111 分别对不同的 2 类外置声码器寄存器进行配置, 011 为读写开机音或其他提示音操作。

5.3 HR_C6000 RAM 分配定义

表 5.2 二层工作模式下 TX 端 1.2KRAM 的空间分配定义

帧类型	地址	说明
语音 LC Header	0x00~0x0b	0x00~0x08: 共计 72bit 为控制信; 0x09~0x0b: 共计 24bit 为校验信息, MCU 可选。
语音 PI Header	0x00~0x0b	0x00~0x09: 共计 80bit 为控制信息; 0x0a~0x0b: 共计 16bit 为校验信息, MCU 可选。
语音 EMB	0x00~0x09	0x00~0x08: 共计 72bit 为控制信; 0x09: bit7-bit3 共计 5bit 为校验信息, MCU 可选。 此处信息在要准备发送语音帧 A 时同时准备。



语音 A	0x30~0x4a	共计 216bit 为语音帧信息。
语音 B	0x30~0x4a	共计 216bit 为语音帧信息。
语音 C	0x30~0x4a	共计 216bit 为语音帧信息。
语音 D	0x30~0x4a	共计 216bit 为语音帧信息。
语音 E	0x30~0x4a	共计 216bit 为语音帧信息。
语音 F	0x30~0x4a	共计 216bit 为语音帧信息。
RC 帧	0x00~0x01	0x00、0x01 的 bit7-bit5, 共计 11bit 信息
语音 Terminator	0x00~0x0b	0x00~0x08: 共计 72bit 为控制信; 0x09~0x0b: 共计 24bit 为校验信息, MCU 可选。
CSBK	0x00~0x0b	0x00~0x09: 共计 80bit 为控制信息; 0x0a~0x0b: 共计 16bit 为校验信息, MCU 可选。
MBC Header	0x00~0x0b	0x00~0x09: 共计 80bit 为控制信息; 0x0a~0x0b: 共计 16bit 为校验信息, MCU 可选。
MBC Intermedia	0x00~0x0b	0x00~0x0b: 共计 96bit 为控制信息;
MBC Last	0x00~0x0b	0x00~0x0b: 共计 96bit 为控制信息;
DataHeader	0x00~0x0b	0x00~0x09: 共计 80bit 为控制信息; 0x0a~0x0b: 共计 16bit 为校验信息, MCU 可选。
DataRate1_2	0x00~0x0b	0x00~0x0b: 共计 96bit 为数据信息;
DataRate3_4	0x00~0x11	0x00~0x0b: 共计 144bit 为数据信息;
DataRate1	0x00~0x17	0x00~0x0b: 共计 192bit 为数据信息;
Idle	0x18~0x23	0x18~0x23: 共计 96bit 为控制信息;
Short LC	0x24~0x28	0x24~0x26, 0x27 的 bit7-bit4: 共计 28bit 控制信息; 0x28 : 共计 8bit 校验信息。
语音 F 帧 EMB	0x29~0x2C	语音 F 帧填充信息 或者 0x29 存放超帧序号 (KeyID), 0x2A 高 3bit 存放加密序号(ALOG ID)
数据控制帧 EMB RC	0x4b~0x50	数据控制帧嵌入的 48bit 的 RC 信息或者 0x4b、0x4c 的高 11bit 的 RC 编码器输入
C_RC 帧 (PDT)	0x00~0x0a	0x00、0x01 的 bit7-bit5: 共计 11bit RC 信息; 0x02~0x08: 共计 56 bit 控制信息; 0x09~0x0a: 共计 16 bit 校验信息;
196 信息	0x30~0x48	196bit 控制信息
测试发送	0x00~0x48	发送模式测试存放数据地址
FM 数据地址 1	0x030~0x22f	共计 512bytes 数据信息。可以为外部写入的 FM 发送

		语音数据也可以是内部发送来自 Codec 的语音数据
FM 数据地址 2	0x230~0x42f	共计 512bytes 数据信息。可以为外部写入的 FM 发送语音数据也可以是内部发送来自 Codec 的语音数据
加密密钥流数据存储	0x495~0x4af	共计 216bit, 27 bytes

表 5.3 二层工作模式下 RX 端 1.2KRAM 的空间分配定义

帧类型	地址	说明
语音 LC Header	0x00~0x0b	0x00~0x08: 共计 72bit 为控制信; 0x09~0x0b: 共计 24bit 为校验信息。
语音 PI Header	0x00~0x0b	0x00~0x09: 共计 80bit 为控制信息; 0x0a~0x0b: 共计 16bit 为校验信息。
语音 EMB	0x00~0x09	0x00~0x08: 共计 72bit 为控制信; 0x09: bit7-bit3 共计 5bit 为校验信息。
RC 帧		RC 译码结果 11bit 信息保存在寄存器中
语音 Terminator	0x00~0x0b	0x00~0x08: 共计 72bit 为控制信; 0x09~0x0b: 共计 24bit 为校验信息。
CSBK	0x00~0x0b	0x00~0x09: 共计 80bit 为控制信息; 0x0a~0x0b: 共计 16bit 为校验信息。
MBC Header	0x00~0x0b	0x00~0x09: 共计 80bit 为控制信息; 0x0a~0x0b: 共计 16bit 为校验信息。
MBC Intermedia	0x00~0x0b	0x00~0x0b: 共计 96bit 为控制信息;
MBC Last	0x00~0x0b	0x00~0x0b: 共计 96bit 为控制信息;
DataHeader	0x00~0x0b	0x00~0x09: 共计 80bit 为控制信息; 0x0a~0x0b: 共计 16bit 为校验信息。
DataRate1_2	0x00~0x0b	0x00~0x0b: 共计 96bit 为数据信息;
DataRate3_4	0x00~0x11	0x00~0x0b: 共计 144bit 为数据信息;
DataRate1	0x00~0x17	0x00~0x0b: 共计 192bit 为数据信息;
Idle	0x00~0x0b	0x00~0x0b: 共计 96bit 为控制信息;
C_RC 帧 (PDT)	0x00~0x08	0x00~0x06: 共计 56 bit 控制信息; 0x07~0x08: 共计 16 bit 校验信息; RC 译码结果 11bit 信息保存在寄存器中。
EMB_48_INFO_0	0x1f~0x24	时隙 0 接收的 48bitEMB 区域信息
EMB_48_INFO_1	0x25~0x2a	时隙 1 接收的 48bitEMB 区域信息
ShortLC	0x2b~0x2f	接收端 CACH 字段 36bit ShortLC 数据, 其中 0x2f 的

		低 4bit 为无用数据
264bit_info_0	0x30~0x50	当前时隙 0 解析结果 264bit 信息，包含语音帧的 216bit 信息
264bit_info_1	0x60~0x80	当前时隙 1 解析结果 264bit 信息，包含语音帧的 216bit 信息
264bit_soft_0	0xa8~0x1af	当前时隙 0 解析结果 264 软信息，每一个字节的 bit5-bit0。
264bit_soft_1	0x1c8~0x2cf	当前时隙 1 解析结果 264 软信息，每一个字节的 bit5-bit0。
FM 数据地址 1	0x030~0x22f	共计 512bytes 数据信息。
FM 数据地址 2	0x230~0x42f	共计 512bytes 数据信息。
解密密钥流数据存 储	0x495~0x4af	共计 216bit, 27 bytes

5.4 支持帧类型

5.4.1 时隙组帧

时隙组帧而言，有 3 种模式：语音时隙包、数据时隙包和 RC 包。

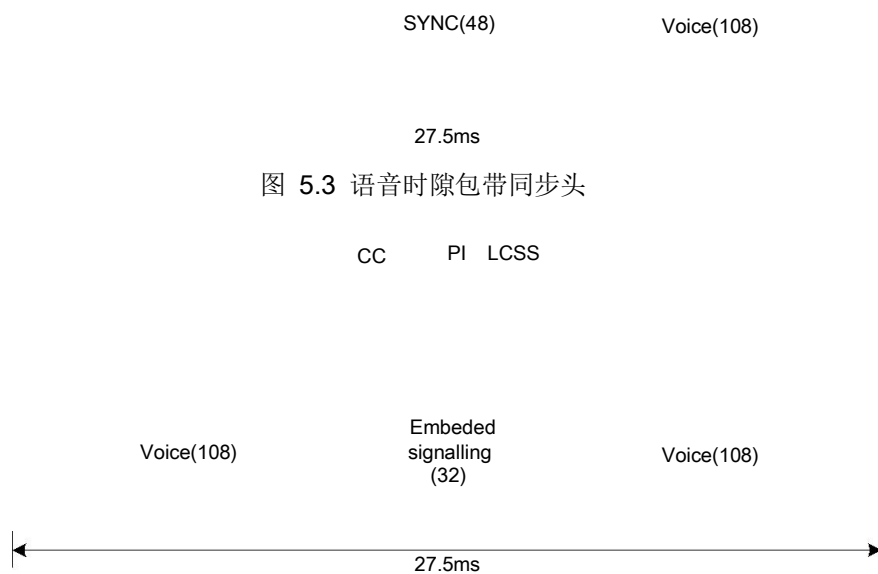


图 5.3 语音时隙包带同步头

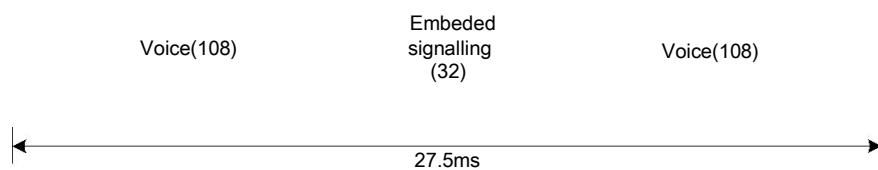


图 5.4 语音时隙包带 EMB 数据

1、支持六种语音时隙包组帧，并且按照超帧规则，确定语音帧中采用同步头 or LC or Null，

按照标准组建 A(SYNC)、B(LC)、C(LC)、D(LC)、E(LC)、F(Null)超帧。详细包括：

- 支持同步头选择加入；
- 支持 EMB 7bit 加入，对 EMB 进行 QR(16,7,6)编码；
- 支持 LC 72bit 加入，加入 5bit CS 码，进行可变长度的 BPTC 编码、交织，并加入到 4 个时隙中(128bit)；

表 5.3 组呼 72bit LC 信息表

Information element	Length	Remark
Protect Flag (PF)	1	
Reserved	1	This bit shall be set to 0
Full Link Control Opcode (FLCO)	6	Shall be set to 000000
Feature set ID (FID)	8	Shall be set to 00000000
Service Option	8	
Group address	24	
Source address	24	

表 5.4 个呼 72bit LC 信息表

Information element		Remark
Protect Flag (PF)	1	
Reserved	1	This bit shall be set to 0
Full Link Control Opcode (FLCO)	6	Shall be set to 000011
Feature set ID (FID)	8	Shall be set to 00000000
Service Option	8	
Group address	24	
Source address	24	

- 支持 Null 时隙加入；

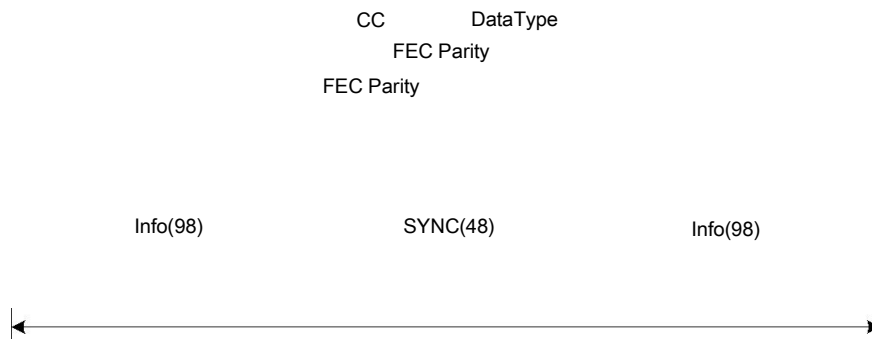


图 5.5 数据、控制帧结构图

2、支持 LC 包

- 支持加入 72bit LC, CRC24bit 校验，并加入 CRC 掩码(Header 和 Terminator 区别)，进行 BPTC(196, 96)编码，组建语音 Head 帧；
- 支持用 72bitLC 信息组建 ShortLC 包，用于嵌入到语音的 EMB 区域；
- 支持 LC 包动态更新；

3、支持 CSBK 包、MBC 包和数据包；详细内部包括：

- a) 支持加入 Slot Type(20bit), 包括 CC、DataType, 进行 Golay(20, 8)编码;
- b) 支持 SYNC 加入;
- c) 支持加入 80bit CSBK, CRC16bit 校验并加入 CRC 掩码, 进行 BPTC(196, 96)编码、交织;

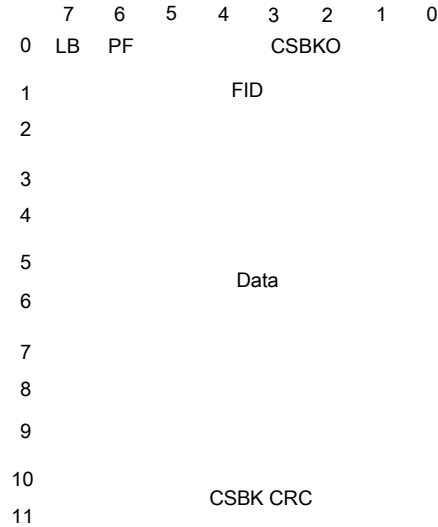


图 5.6 CSBK 80bit 信息图表

- d) 支持加入 96bit Idle, 进行 BPTC(196, 96)编码、交织;
- e) 支持加入 80bit MBC header, CRC16bit 校验, 加入 CRC 掩码, 进行 BPTC(196, 96)编码、交织;
- f) 支持加入 96bit MBC 数据, 进行 BPTC(196, 96)编码、交织;
- g) 支持加入 80bitMBC lastBlock, 进行 CRC16bit 校验, 进行 BPTC(196, 96)编码、交织;
- h) 支持数据包头, 加入 80bit 数据, 进行 CRC16bit 校验, 加入 CRC 掩码, 进行 BPTC(196, 96)编码、交织;

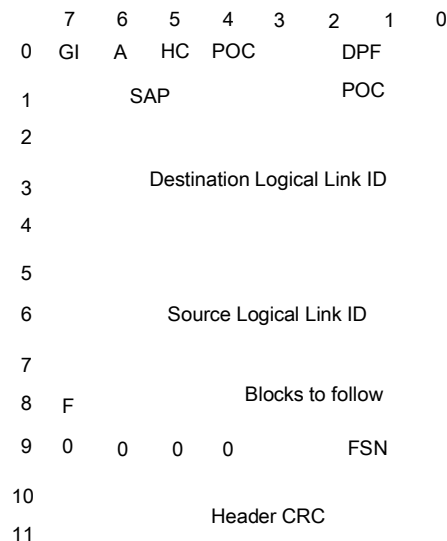


图 5.7 非确认数据包头

	7	6	5	4	3	2	1	0
0	GI	A	HC	POC			DPF	
1			SAP				POC	
2								
3								Destination Logical Link ID
4								
5								
6								Source Logical Link ID
7								
8	F							Blocks to follow
9	S		N(S)					FSN
10								
11								Header CRC

图 5.8 确认数据包头

- i) 支持根据应用需求快速生成 Unconfirmed data header、Confirmed data header、Response data header、Proprietary data header、Status/Precoded short data header、Raw short data header、Defined short data header 和 Unified Data transport data header;
- j) 支持 Rate 1/2 模式的数据格式，加入 96bit 数据，进行 BPTC(196, 96)编码、交织;
- k) 支持 Rate 1/2 模式的最后时隙数据，加入 64bit 数据，进行 32bitCRC 校验(校验包含所有数据)，进行 BPTC(196, 96)编码、交织;
- l) 支持 Rate 3/4 模式的数据格式，加入 96bit 数据，进行 Trellis 编码、交织;
- m) 支持 Rate 3/4 模式的最后时隙数据，加入 64bit 数据，进行 32bitCRC 校验(校验包含所有数据)，进行 Trellis 编码、交织;
- n) 支持 Rate 1 模式的数据格式，加入 96bit 数据;
- o) 支持 Rate 1 模式的最后时隙数据，加入 64bit 数据，进行 32bitCRC 校验(校验包含所有数据);
- p) 支持 3 种速率的 confirmed 数据传输，加入 7bit SN，进行 9bitCRC 校验，加入掩码(不同速率，不同掩码)，进行不同速率的编码、交织，对数据加入 32bitCRC;
- q) 支持反馈包数据时隙，加入 1—2 个数据反馈包，进行整体 32bitCRC 校验，进行 BPTC(196, 96)编码、交织;
- r) 支持 UDT 的 last Block，对数据进行 16bitCRC 校验，进行 BPTC(196, 96)编码、交织;

CC PI LCSS
RC Info + FEC Parity
RC Info + FEC Parity
SYNC
SYNC
SYNC
SYNC
SYNC
SYNC
RC Info + FEC Parity
RC Info + FEC Parity
EMB Parity

SYNC(48)

10ms

30ms

图 5.9 独立 RC 帧结构图

- 4、支持时隙 RC 和 EMB 的 RC 信号；
 - a) 支持加入 7bitEMB，进行 QR(16,7,6)编码；
 - b) 支持加入 11bit RC 信号，进行可变长度 BPTC，对 32bit 进行交织，加入到 RC 单元；
- 5、接收根据 SYNC 确定帧的内容类型，根据 Slot Type、FLCO、CSBKO、LB、DPF 确定接收帧的类型，然后根据接收到的帧类型进行与发送相对应的解交织、解码、校验。

5.4.2 组帧模式

连续模式：

- 1) 支持语音超帧组帧，可设 LC Header、PI Header 或仅 PI Header 模式，结束自动构成超帧并加入 LC Terminator；
- 2) 支持数据 4.8kbps 组帧，加入数据 LC Header、数据和 LC Terminator；
- 3) 支持数据 9.6kbps 组帧，加入数据 LC Header、数据和 LC Terminator；

时隙模式：

- 1) 支持语音超帧组帧，可设 LC Header、PI Header 或仅 PI Header 模式，结束自动构成超帧并加入 LC Terminator；
- 2) 支持各种数据类型的4.8kbps组帧，加入数据LC Header、数据和LC Terminator；

5.4.3 帧定义和使用

配置寄存器 **reg0x10** 为 **0x68**，系统工作在二层模式；配置寄存器 **reg0x40** 为 **0x43**，**reg0x41** 为 **0x40** 系统默认配置在被动收状态。其他配置默认即可。

发送帧类型配置通过 **reg0x50** 寄存器指定。

表 5.5 帧类型编码对应关系

时隙帧类型	LocalDataType	是否语音
语音 LC Header	0001	0
语音 PI Header	0000	0
语音 A	0000	1
语音 B	0001	1
语音 C	0010	1
语音 D	0011	1
语音 E	0100	1
语音 F	0101	1
RC 帧	0110	1
语音 Terminator	0010	0
CSBK	0011	0
MBC Header	0100	0
MBC Intermedia	0101	0
MBC Last	0101	0
DataHeader	0110	0
DataRate1_2	0111	0
DataRate3_4	1000	0
DataRate1	1010	0
Idle	1001	0
Reserved	1011	0
	1100	0
	1011	0
	1110	0
	1111	0

在二层模式下发送数据，需要用户根据发送帧类型，准备下一个时隙需要发送的数据帧内容。如果是上表中已经定义的帧类型，用户可以通过配置寄存器 **Reg40** 的 **bit3** 确定用户自行完成这些帧类型对应的校验过程或用 **HR_C6000** 自动完成帧的校验位生成过程。如果由 **HR_C6000** 自动完成，则校验码的生成过程严格按照 **DMR** 协议标准生成；如果由用户在 **MCU** 中进行校验，**HR_C6000** 无需关心校验方式和校验码内容，而是统一按照原始数据直接进行下一步编码处理。例如，用户如果需要有 **MCU** 完成一个 **CSBK** 校验过程，则需要首先产生 **80bitCSBK** 数据信息，然后按照自行定义的校验方式生成 **16bit** 的校验位，将一共 **96bit** 信息写入 **HR_C6000** 的发送 **RAM** 的地址 **0**-地址 **11**，然后 **HR_C6000** 取走这些数据直接进行 **BPTC** 编码和后续组帧发送过程。如果是用户自定义帧类型，则需要校验完成后将生成的校验信息位一并存入发送端 **RAM** 空间指定位置，**HR_C6000** 将该校验信息作为传递信息位的一部进入后续的编码和组帧处理。

发送过程示意图如下图所示。



图 5.10 二层发送过程流程图

5.4.4 工作模式说明

在二层模式下工作，整机中所需要的 30ms 时隙的同步时间轴由 HR_C6000 提供，而 HR_C6000 提供 30ms 时间轴有两种模式，一种是由 HR_C6000 自己的时钟产生计数，稳定地提供 30ms 中断，称为主动模式，另一种是 HR_C6000 提供的 30ms 中断会不断地根据 HR_C6000 接收到的信号（含同步头的信号），来调整自己的 30ms（近似）中断输出，称之为被动模式。

主动模式：CPU 设置 HR_C6000 主动模式(寄存器 reg0x40 Bit5 配置为 1，其中 Bit6、Bit7 必须有一个为 1)，建立时隙，向 MCU 提供 30ms 中断。

被动模式：CPU 设置 HR_C6000 寄存器 reg0x40 Bit5 配置为 0（其中 Bit6、Bit7 必须有一个为 1），HR_C6000 进入接收状态系统根据收到的信号的同步信息，开始建立同步，并且持续根据接收到的同步信息来调整同步时间轴，以此提供给 MCU 30ms(近似)中断。

在建立完整的时间轴后，芯片内部具备了收发的条件，在这个基础上芯片会提供 CPU 时隙中断 Time_slot_inter，用于告知 CPU 整个时间轴的时隙中间位置，CPU 根据时间轴来规划相应的收、发，进行正确的控制和数据传输。

寄存器 0x40 的 Bit7 为发送，Bit6 为接收，这是 CPU 告知芯片可以进行发送或者接收的控制信号，只有这两个信号之一有效，才会建立时间轴，但是这两个信号不会独立控制每个时隙的收发使能，时隙收发的控制在寄存器 0x41 的 Bit7（发送）和 Bit6（接收）。



图 5.11 二层中断分布示意图

在二层模式下，一旦时间轴建立后（不论是被动还是主动模式）芯片就会持续以 30ms 为周期给出上图所示的 TIME_SLOT_INTER 和 Rdy Ist_inter。其中 Rdy Ist_inter 不是一个独立的中断管脚，该终端与 Sys_inter 复用一中断管脚输出，复用方式与 5.1.1 中的三层中断使用描述中相同。

其中 t1 时间为芯片发送编码组帧开始时间，t2 为软件准备数据和配置收发控制指令时间，t3 为时隙结束到可以送给 Sys_inter 中断到 CPU 的时间。

芯片在位置 1 或者位置 2，给出 TIME_SLOT_INTER 或者 Rdy Ist_inter，CPU 可以依据这两个中断之一来设定时隙 2 将要发送或者接收（0x41，Bit7，Bit6）。

芯片在位置 3，TIME_SLOT_INTER 中断给出的时候，CPU 可以获知时隙 2 的收发状态（0x42，Bit7，Bit6）。

如果时隙 1 是接收，那么在位置 4 CPU 可以读取到该时隙接收下来的数据，为 CPU 的下一步动作提供决策依据。

假设时隙 1 为接收，并且在位置 1（TIME_SLOT_INTER 中断）后到位置 2（Rdy Ist_inter 中断）之前的这段时间内设置时隙 2 为发送，则芯片会给出 RF_TX_INTER，供 CPU 去设置射频通道相关参数。

假设时隙 1 为发送，并且在位置 1（TIME_SLOT_INTER 中断）后到位置 2（Rdy Ist_inter 中断）之前的这段时间内设置时隙 2 为接收，则芯片会给出 RF_RX_INTER，供 CPU 去设置射频通道相关参数。

根据时间轴建立的主被动模式，整机的对时隙的收发模式控制组合成工作方式为：

1) 主动发送

主动发送是指系统当前处于失同步状态，发起呼叫，由本地产生同步信息。这种情况主要应用于 HR_C6000 主动发起单、双工发送。

MCU 设置发送寄存器 0x40 开启主动发送 0xA3；

该标志位的建立将使芯片内部产生主动发送同步信息，通过 TIME_SLOT_INTER 向 MCU 发送 30ms 间隔的中断；

MCU 在收到 30ms 中断后，读取 0x42 状态 bit7-5，判断当前时隙的收发情况：

001 表示当前时隙为工作时隙，但收发全关；

101 表示当前时隙为工作时隙，发送开启；

011 表示当前时隙为工作时隙，接收开启；

xx0 表示当前时隙为非工作时隙，收发无需打开；

MCU 获取到 HR_C6000 的时隙收发状态来根据协议确定下一个时隙的工作要求。

在 30ms 的同步时隙建立起来后，如果下一时隙需要发送，在 t2 内写入需要组帧(包含 196bit 速率 1 数据流，144bit 速率 3/4 数据流，96bit 速率 1/2 数据流，96bit 自定义控

制信息帧，80bit 数据帧头或 CSBK 数据帧，72bit 语音帧头、帧尾)的数据，数据格式和内容要求按照 DMR 协议标准进行设计，在收到 Rdy Ist_inter 中断时，设置寄存器 0x41 的值，确定下一时隙是否发送 0x80(发送)，0x00(不发送)；如果屏蔽 Rdy Ist_inter 中断，则可以在 30ms 中断 (TIMER_SLOT_INTER，图中位置 1) 时候直接配置 0x41 寄存器，也就是配置发送与不发送先于数据写入，这样要求用户必须保证在 t2 时间内完成需要组帧的所有数据准备。

芯片在 t1 时间开始时刻读取 0x40 的 Bit7 标志位，如果为 1，那么将存在数据缓存中的数据在 t1 时间内完成映射发送。

CPU 可以依据 RF_Tx_Inter 中断对于发送进行相关射频通道的配置。

2) 主动接收 (主动全双工)

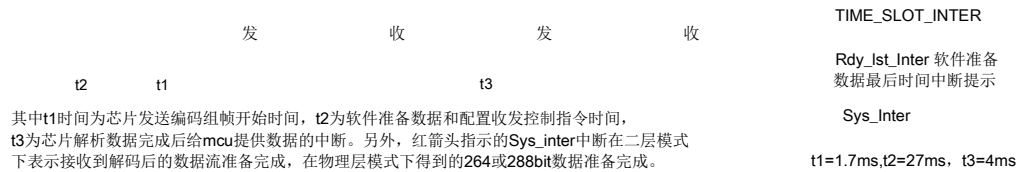


图 5.12 主动全双工收发中断示意图

主动接收会发生在主动全双工的时刻，主动全双工是指呼叫发起方首先提出发送请求，MCU 配置寄存器 0x40 后打开发送使能，主动建立 30ms 的时隙中断。同步时隙建立完成后，MCU 配置寄存器 0x41，分配 HR_C6000 的发送时隙和接收时隙，从而实现全双工通信。

主动发送和主动接收，通过控制 0x41 的 TxNxtSlotEn (Bit7) 和 RxNxtSlotEn (Bit6) 实现主动全双工。接收到的同步时隙不更新系统的同步。

这个模式下的接收称为主动接收。

3) 被动接收

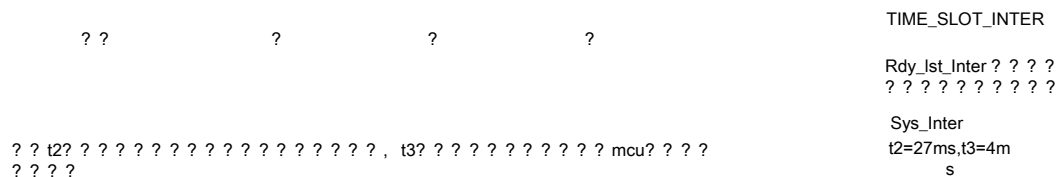


图 5.13 被动接收中断示意图

被动接收是指 MS 的同步信息通过接收获得，并且利用接收更新本地的发送同步信息。主要应用于单、双工的被动接收。

MCU 设置接收寄存器开启被动模式 0x40 设置为 0x43;

HR_C6000 开始进行接收，但在未获得接收中断之前，接收的寄存器 0x41 需要设置为 0x40，进入连续接收的状态（称为盲收），收到接收中断后，芯片内部的同步机制将建立与接收信号一致的同步机制，因此根据接收到的数据来判断下一时隙是否进行接收，推荐方式是在收到 Sys_inter 中断后，读取 0x52 的 cc，判断同步建立是否，如果 cc 不匹配则通过配置 0x41 为 0x20 重新获取同步信息，如果 cc 匹配则，根据 0x51 寄存器的内容确定接下来时隙的收发情况，如果数据正确，将 0x41 写入 0x00 关闭接收，再在 TIME_SLOT_INTER 中断到来时，开启接收，芯片会产生对应的 RF_rx_inter 中断，利用中断来对射频模块进行控制。

被动模式下同步机制保证：如果有接收同步信息，并且与现有本地同步的差距在

1.25ms 内，那么将进行实时同步调整，如果接收同步消失(接收信号消失、不控制 0x41 进行接收)，芯片按照现有的本地同步信息进行 30ms 计数并提供 TIME_SLOT_INTER 中断，直到 MCU 关闭 TxEn (0x40 Bit7) 和 RxEn (0x40 Bit6)；此时 MCU 可以根据实际情况确定处于被动或者转为主动状态；

当前接收时隙的解析帧内容(包含 196bit 速率 1 数据流，144bit 速率 3/4 数据流，96bit 速率 1/2 数据流，96bit 自定义控制信息帧，80bit 数据帧头或 CSBK 数据帧，72bit 语音帧头、帧尾)会在下一个时隙的 t3 时间后给出 Sys_Inter 中断，MCU 可以根据中断读取帧类型寄存器 0x82 判断接收中断类型，0x51 寄存器判断接收数据帧类型和校验信息，0x52 寄存器判断 CC 匹配结果，提示 MCU 可以从 RX 端 RAM 空间取走对应解帧信息。

4) 被动发送（被动全双工）

被动方式也发生在全双工的时刻，此时全双工是指 MS 的同步信息通过接收获得，系统建立同步时隙后进行全双工通信，并且始终处于利用接收同步信息更新本地的发送同步信息状态。

被动全双工是由 MCU 控制 0x41 实现的被动接收和被动发送的结合。具体操作方式结合被动接收和被动发送模式相同处理。

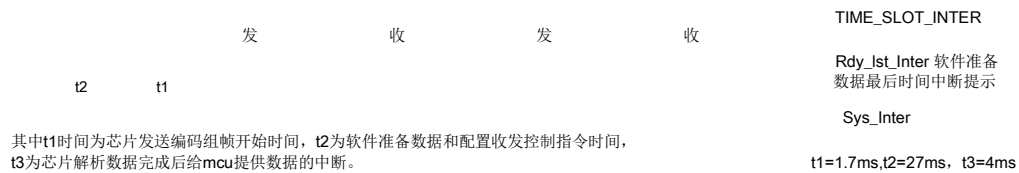


图 5.14 被动全双工收发示意图

5.4.5 应用举例

二层模式的默认业务包括语音发送、数据发送、语音接收、数据接收。

数据发送：

- 1, 上电时配置 reg0x10 为 0x6A，将系统设置为二层非中继模式；
- 2, 收到发送请求后(按键或其他方式)配置 reg0x40 为 0xA3，设置为主动发模式；
- 3, MCU 收到一个 30ms 中断后，配置 reg0x41 为 0x80，reg0x50 为 0x60，然后将即将发送的 80bit 数据帧头信息写入 HR_C6000 发送端的 1.2KRAM 0x00~0x09 地址空间。
- 4, 在下一个 30ms 中断到来时，再将 reg0x41 配置为 0x00，空闲一个时隙不发送；
- 5, 在下一个 30ms 中断到来是，再将 reg0x41 配置成 0x80，reg0x50 配置成 0x70，然后将即将发送的 96bit 数据信息写入 1.2KRAM 的 0x00~0x0b 空间。
- 6, 依次重复 4 和 5，直到所有需要的数据帧和帧尾的 CRC32 校验位发送完成。
- 7, 数据帧发送完成后下一个或几个 30ms 到来后，配置 reg0x40 为 0x03 关闭发送使能，结束发送。

数据接收：

- 1, 上电时配置 reg0x10 为 0x6A，将系统设置为二层非中继模式；reg40 配置成 0x43，reg41 配置成 0x40，系统处于忙收状态。

- 2, 收到 sys_inter 时, 读取 reg0x51 和 reg0x52, 如果 reg0x51[7:4]等于本地 cc(默认值为 0x01), 并且 reg0x51[7:4]等于 0x06, 并且 reg0x51[2]等于 0, 则读取接收 RAM 中 0x08 地址低 7bit 信息, 确定接下来要接收的帧总数(如果需要收帧尾总数再加 1), 以及 RAM 中 80bit 中地址信息与本地地址匹配, 确定是否为需要接收的数据头;
- 3, 在下一个 30ms 中断到来时, 再将 reg0x41 配置为 0x00, 下一个时隙不是接收的工作时隙, 关闭接收;
- 4, 在下一个 30ms 中断到来时, 再将 reg0x41 配置成 0x40, 下一个时隙为接收时隙, 打开接收, 同时将接收次数递减。
- 5, 依次重复 3 和 4, 接收此时递减到 0。
- 6, 在接下来的 30ms 中断, 将 reg0x41 配置成 0x40 重新处于忙收状态, 如果要关闭接收, 将 reg0x40 配置成 0x03, reg0x41 配置成 0x20 后再配置成 0x00。

另外, 每次收到 sys_inter 时, 读取 reg0x52 和 reg0x51 确定每帧数据的状态和性质, 读取接收端 RAM 的 0x00~0x0B 这 96bit 数据得到接收数据帧的内容。

语音发送:

- 1, 上电时配置 reg0x10 为 0x6A, 将系统设置为二层非中继模式, 寄存器 0x06 配置成 0x45, 由 MCU 控制声码器;
- 2, 收到发送请求后(按键或其他方式)配置 reg0x40 为 0xA3, 设置为主动发模式;
- 3, MCU 收到一个 30ms 中断后, 配置 reg0x41 为 0x80, reg0x50 为 0x10, 然后将即将发送的 80bit 语音帧头信息写入 HR_C6000 发送端的 Tx_buffer 0x00~0x09 地址空间。
- 4, 在下一个 30ms 中断到来时, 再将 reg0x41 配置为 0x00, 空闲一个时隙不发送, 再将寄存器 0x22 配置成 0x80, 打开声码器编码开关。
- 5, 在下一个 30ms 中断到来是, 再将 reg0x41 配置成 0x80, reg0x50 配置成 0x08, 下一帧准备发送语音帧 A。
- 6, 在下一个 30ms 中断到来时, 再将 reg0x41 配置为 0x00, 空闲一个时隙不发送。
- 7, 在下一个 30ms 中断到来时, 再将 reg0x41 配置为 0x80, reg0x50 配置成 0x19, 下一帧准备发送语音帧 B。
- 8, 依次重复 6 和 7, 发送剩下的 C,D,E,F 帧 reg0x50 分别配置成 0x2B, 0x3B, 0x4A 和 0x58。
- 9, 重复 5~8, 不停发送语音帧 A, B, C, D, E, F 直到按键释放, 并发完所有超帧。
- 10, 在空闲时隙开始时候收到 30ms 中断, 配置 reg0x41 为 0x80, reg0x50 为 0x20, 准备发送语音帧尾。
- 11, 在下一个 30ms 中断到来时, 在下一个 30ms 中断到来时, 再将 reg0x41 配置为 0x00, 将寄存器 0x22 配置成 0x40, 声码器编码关闭。
- 12, 语音帧尾发送完成后下一个或几个 30ms 到来后, 配置 reg0x40 为 0x03 关闭发送使能, 结束发送。

语音接收:

- 1, 上电时配置 reg0x10 为 0x6A, 将系统设置为二层非中继模式; reg40 配置成 0x43, reg41 配置成 0x40, 系统处于忙收状态。
- 2, 收到 sys_inter 时, 读取 reg0x50 和 reg0x51, 如果 reg0x51[7:4]等于本地 cc(默认值为 0x01), 并且 reg0x50[7:4]等于 0x01, 并且 reg0x50[2]等于 0, 并且 reg0x50[1:0]等于 0x01, 则读取接收 RAM 中 0x00~0x08 信息。如果 addrs 0x00 对应值为 0x00, 则匹

配本地 groupaddrs 与 addrs0x03~ addrs0x05; 如果 addrs 0x00 对应值为 0x03, 则匹配本地 srcaddrs 与 addrs0x03~ addrs0x05。

- 3, 在下一个 30ms 中断到来时, 再将 reg0x41 配置为 0x00, 下一个时隙不是接收的工作时隙, 关闭接收, 如果地址匹配上后, 则配置寄存器 0x22 配置成 0x20, 打开声码器解码开关。
- 4, 在下一个 30ms 到来时, 再将 reg0x41 配置为 0x50, 开启下一个时隙接收使能, 同时打开语音流输出使能, 将接收到语音帧提供给声码器输出。
- 5, 在下一个 30ms 到来时候, 再将 reg0x41 配置为 0x00, 下一个时隙不是接收的工作时隙, 关闭接收;
- 6, 重复 4 和 5, 直到收到 sys_inter, 读取读取 reg0x51。如果 reg0x51[7:4]等于本地 cc(默认值为 0x01), 并且 reg0x51[7:4]等于 0x01, 并且 reg0x51[2]等于 0, 并且 reg0x50[1:0]等于 0x02, 则读取接收 RAM 中 0x00~0x08 信息。如果 addrs0x00 对应值为 0x00, 则匹配本地 groupaddrs 与 addrs0x03~ addrs0x05; 如果 addrs0x00 对应值为 0x03, 则匹配本地 srcaddrs 与 addrs0x03~ addrs0x05。如果地址匹配上后, 则配置寄存器 0x22 配置成 0x10, 关闭声码器解码。
- 7, 再接下来的 30ms 中断, 将 reg0x41 配置成 0x40 重新处于忙收状态, 如果要关闭接收, 将 reg0x40 配置成 0x03, reg0x41 配置成 0x20 后再配置成 0x00。

5.4.6 误比特率测试

1. 测试方法:

HR_C6000 在一层模式下连续接收 4FSK 调制后的低中频信号, 信号频率可配置, 推荐使用 455 kHz 或 450kHz 中频信号。HR_C6000 将解调得到的每帧 36 字节数据存入接收端 1.2KRAM 空间起始地址为 0x30 的区间。MCU 可以通过 SPI 接口将每帧数据从 RAM 中读出并于发送的 36 字节内容比较, 得到该帧数据的错误 bit 数量。长时间累计连续测试的每帧数据错误 bit 数, 统计出 HR_C6000 的误比特性能。

在 RAM 中存储的数据, 定义的数据存储结构如图 5.15 所示, MCU 可以根据中断读取帧类型(SyncState 和 SyncClass(0x51)), 并根据帧类型读取相应长度的数据, 并按照格式解析(其中虚线框内的数据内容为在连续模式下需额外接收 CACH 数据)。

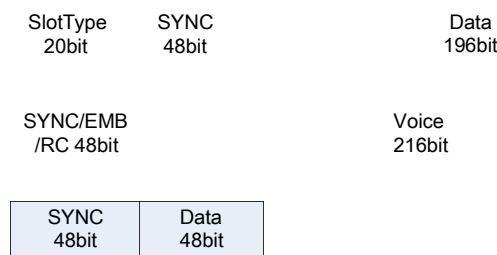


图 5.15 接收数据帧类型格式

2. 寄存器设置:

实现在一层模式下的误码率测试功能, 需要配置的寄存器为

表 5.6 一层模式误码率测试控制寄存器地址说明

地址	配置值	说明
----	-----	----



0x01	2'bxxxx 0000	配置为中频接收模式。
0x07	2'b0000 1011	中频频率字高 8 位，24 位中频频率字除以 2^{24} 乘 9.8304M 得到最终中频频率，默认设置为 455kHz。
0x08	2'b1101 1001	中频频率字中 8 位。
0x09	2'b0101 0100	中频频率字低 8 位。
0x10	2'b0000 0010	一层模式，并且连续接收，如果需要时隙接收则需将 bit5 配置为 1。
0x40	2'b0100 0000	接收使能开，同时配置成一层测试模式。
0x41	2'b0100 0001	接收测试使能开启。

6 FM 应用

HR_C6000 兼容 FM，支持 FM 收发功能，通过配置寄存器 0x10[7]=1'b1，可使 HR_C6000 工作于 FM 模式。芯片内嵌加重、去加重、压缩、解压缩等模块，用户可以根据需求，选择所需功能。在收发模式中，用户可以选择 12.5KHz/25KHz 信道滤波器，同时为了防止过度调制，滤波器内嵌了限幅器。

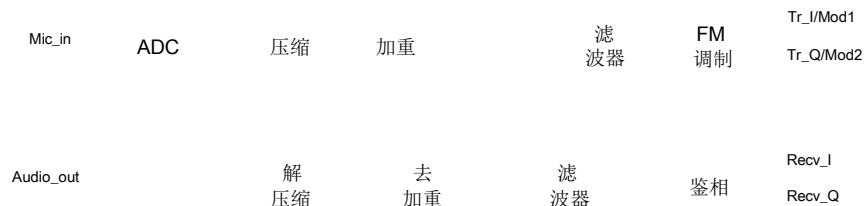


图 6.1 FM 收发结构框图

6.1 FM 发送

在模拟模式中，HR_C6000 只能工作在单工模式中，通过配置寄存器 0x60=0x80，打开模拟发送通道。语音由 Codec 中的 ADC 进行采样转化为数字信号，经过 HR_C6000 内部可选的压缩、加重模块进行音频信号处理后，经过 12.5KHz/25KHz 信道滤波器，以改善发送信号的 ACPR。

在上述模拟通道上主要支持模拟语音、模拟/数字亚音（CTCSS 和 CDCSS）、DTMF、2-tone/5-tone 和 MSK 等语音和信令的发送。

带通滤波器

HR_C6000 内置了可选带通滤波器，信号带宽为 300Hz 至 3400Hz，通过配置寄存器 0x34[7]=1'b1，可以开启带通滤波器。

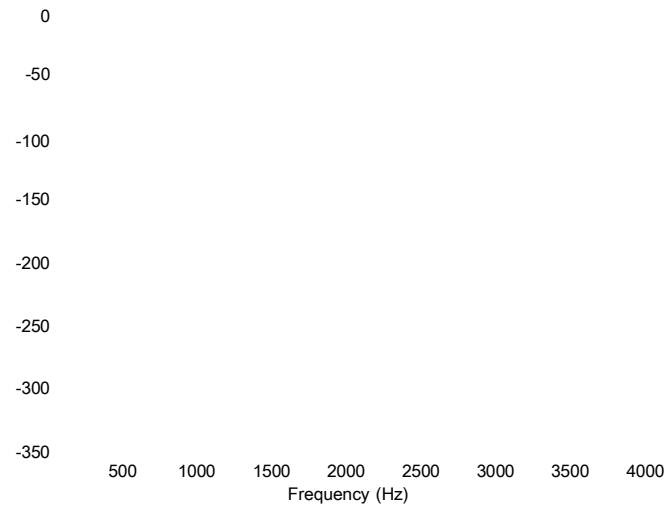


图 6.2 带通滤波器频谱响应

压缩

音频压扩器由压缩器和解压缩器组成，可以降低噪声对音频质量的影响。

在发送端采用压缩器，通过将小信号放大，大信号缩小，来降低音频信号的动态范围。

HR_C6000 中采用 Syllabic 压扩器，根据时间常数 t ，改变信号平均包络的幅度。压缩器的稳态输出值为输入信号的均方根，即当输入信号增大或减小 2dB 时，输出信号相应的增大或者减少 1dB。通常，在语音通信系统中，通过音频压缩技术，可以将动态范围由输入信号的 60dB 转变为输出信号的 30dB。用户可以通过配置寄存器 0x34[6]=1'b1，可以打开压缩模块。需要注意的是，压缩器应该与解压缩配套使用。

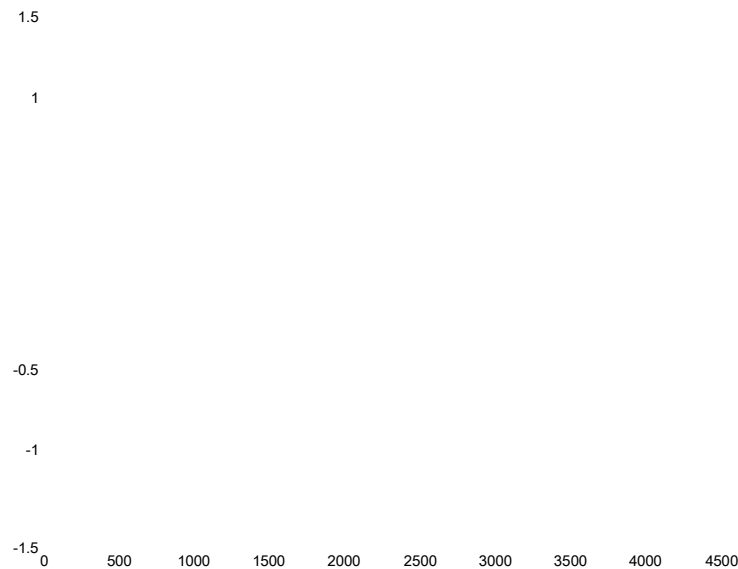


图 6.3 压缩时域响应

同时，用户可以通过配置寄存器 0x2D[3:0]来设置压缩器的 0dB 压缩点。

加重

HR_C6000 提供可选的满足 TIA 要求的加重模块，加重模块对 300Hz 到 3000Hz 频段的音频信号按照+6dB/Oct 进行处理。通过配置寄存器 0x34[5]=1'b1，可以打开加重模块。

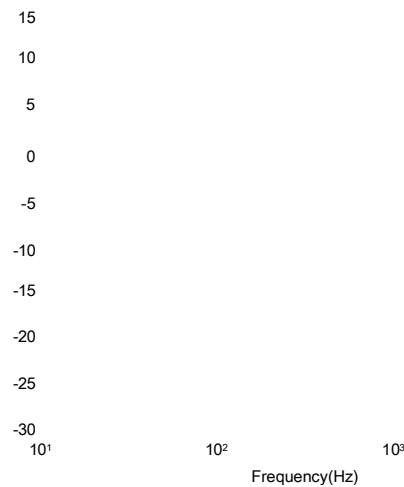


图 6.4 加重频率响应曲线

滤波器

HR_C6000 提供两组内嵌软限幅器的低通滤波器，带宽为 2.55KHz 及 3KHz 的低通滤波器，其中 2.55KHz 可以用于 12.5KHz 信道间隔，以提供更好的 ACPR 指标；3KHz 的低通滤波器通常用于 25KHz 的信道间隔。通过配置寄存器 0x34 进行选择。

FM 调制

若将 HR_C6000 的发送射频接口配置为基带 IQ 或者中频模式，则需利用 HR_C6000 内部的 FM 调制器对音频信号进行 FM 调制。通过配置 0x3E 及 Mic 增益 0x0F 来调整调制频偏，同时通过配置发送低通滤波器的软限幅寄存器 0x3F，以防止过度调制。

6.1.1 CTCSS 发送

系统根据已设置的 CTCSS 发送地址代码（1~51）确定亚音频率（62.5~254.1Hz），亚音信号是采用查询正弦表的方式生成，不同的频率对应不同寻址步进长度，通过相位累加的方式依次将正弦数据以采样时钟为速率输出。

图 6.5 CTCSS 发送框图

在 PTT 按键释放的瞬间，音频信号传输结束，而亚音信号发生相位翻转并继续在空中维持约 155ms，以确保接收端有充足的语音通路关闭处理时间。其中，亚音相位的翻转是通过上述正弦表寻址相位跳变的方式来实现的。

亚音信号经过调制系数加权（该系数可由软件配置）与音频信号叠加后，经 FM 调制后输出。

详细使用方式详见附表 A2.2.1。

6.1.2 CDCSS 发送

发射机首先将原始数据 12bit 经 golay 编码循环发送 23bitDCS 码，然后再将 DCS 码进行 NRZ (1) 映射，通过两级内插滤波后的数据输入 FM 调制器得到调制相位值和基带调制形成 CDCSS 的基带信号输出。



图 6.6 发送端系统框图

详细使用方式详见附表 A2.2.2。

6.1.3 DTMF 发送

DTMF 信号由 4 组高频信号和 4 组低频信号，一共有 16 种方式组合产生。其中低频信号比高频信号的幅值低 2.5dB。DTMF 信号发送于音频信号的开始之前，PTT 有效之后，并且在通常情况下，从 PTT 按下到 DTMF 信号的发送，这中间有大约 600ms 的空闲状态，目的是为了接收端有足够的时间进入到检测模式。

流程说明：

与 CTCSS 相同，DTMF 信号也是由查询正弦表的方式产生。高频信号与低频信号叠加后经调制频偏系数加权，由 FM 调制后输出。每个 DTMF 码对应 50ms 的信号长度，紧接着的是 50ms 的 IDLE 状态。DTMF 可支持的编码长度由用户确定。

图 6.7 DTMF 发送框图

详细使用方式详见附表 A2.2.3。

6.1.4 2-tone 发送

2-tone 信号有带内单音信号以及 IDLE 间隙组成单音序列，以 EIA 标准为例，每组单音的持续时长为 33ms，IDLE 间隙为 0。但是考虑到兼容其他标准，保留了对信号长度和 IDLE 间隙时长的软件可配。如下图所示，在计时模块和通路选择模块的配合下，实现单音信号与 IDLE 间隙的切换。

Selcall tone 发生在 PTT 按下后，音频信号传输之前。Selcall tone 经调制系数加权以及 FM 调制后输出。

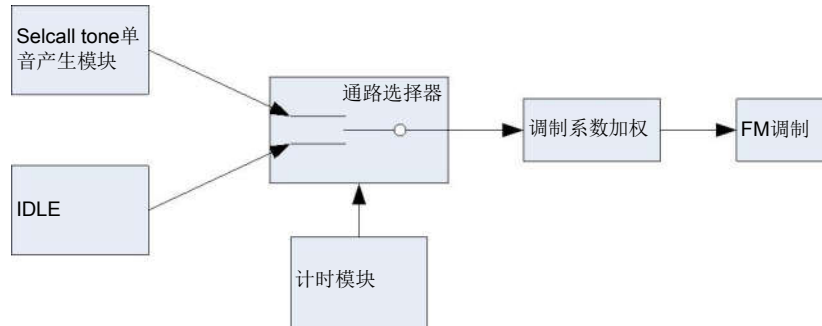


图 6.8 2-tone 发送框图

详细使用方式详见附表 A2.2.4。

6.1.5 5-tone 发送

5-tone 的发送过程与 2-tone 相同，通过不同的寄存器控制位进行区分。详细使用方式详见附表 A2.2.5。

6.2 FM 接收

当配置寄存器 0x60=0x00，HR_C6000 处于接收模式。HR_C6000 对接收到的 IQ(或者中频)信号进行滤波鉴相后送给 FM 处理模块。鉴相后的信号由音频滤波器进行滤波，然后经过可选的去加重、解压缩模块处理后，由 Codec 输出。

在上述模拟通道上主要支持模拟语音、模拟/数字亚音（CTCSS 和 CDCSS）、DTMF、2-tone/5-tone 和 MSK 等语音和信令的接收。

滤波器

HR_C6000 在 FM 接收处理通道中提供两组低通滤波器，带宽为 2.55KHz 及 3KHz 的低通滤波器，其中 2.55KHz 可以用于 12.5KHz 信道间隔；3KHz 的低通滤波器通常用于 25KHz 的信道间隔。可通过配置 0x34 寄存器进行选择。

HR_C6000 提供可选的满足 TIA 要求的去加重模块，去加重模块对 300Hz 到 3000Hz 频段的音频信号按照 -6dB/Oct 进行处理。通过配置寄存器 0x34[5]=1'b1，可以打开去加重模块。

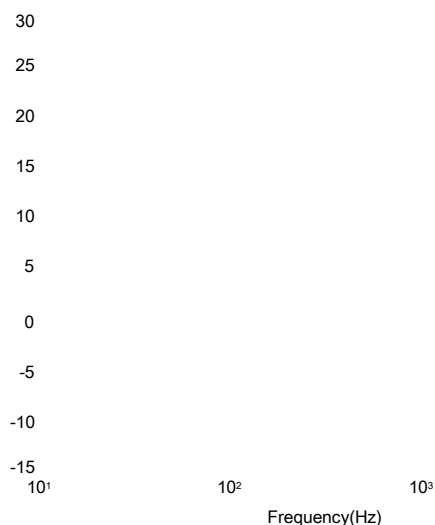


图 6.9 去加重频率响应曲线

解压缩

在接收端端采用解压缩器，通过将大信号缩小，小信号放大，来提高音频信号的动态范围。

解压缩器的稳态输出值为输入信号的平方，即当输入信号增大或减小 1dB 时，输出信号相应的增大或者减少 2dB。通常，在语音通信系统中，通过音频压缩技术，可以将动态范围由输入信号的 30dB 转变为输出信号的 60dB。用户可以通过配置寄存器 0x34[6]=1'b1，可以打开压缩模块。

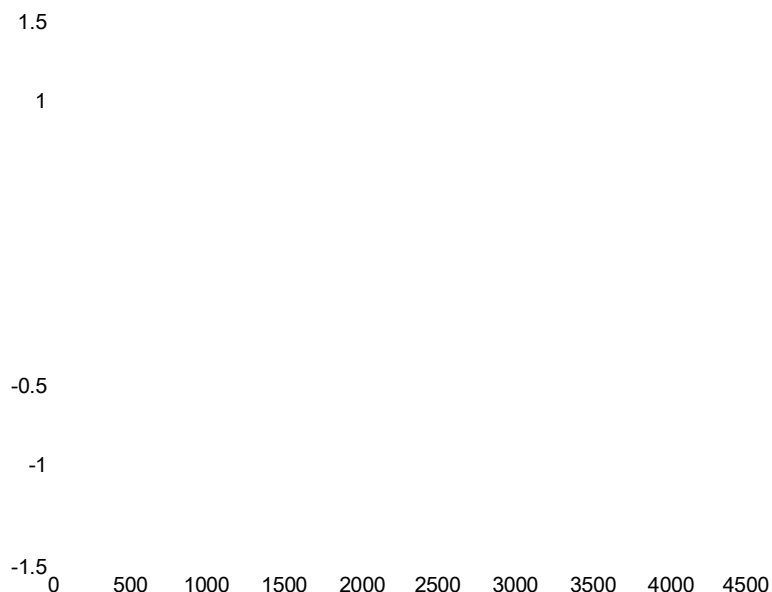


图 6.10 解压缩时域响应

同时，用户可以通过配置寄存器 0x2D[7:4]来设置压缩器的 0dB 压缩点。

带通滤波器

HR_C6000 在 FM 接收端内置了可选带通滤波器，信号带宽为 300Hz 至 3400Hz，通过配置寄存器 0x34[7]=1'b1，可以开启带通滤波器。

6.2.1 CTCSS 接收

CTCSS 空中信号经鉴相器产生相位信息，由频偏校准模块消除信号的直流偏置，限幅处理后，由 4 阶 IIR 300Hz 低通滤波器滤除高频音频部分。

频响幅值检测结果与预设门限值进行比较，大于门限则语音使能开启，并输出中断信号通知外设打开扬声器及语音通路。

图 6.11 CTCSS 接收框图

详细使用方式详见附表 A2.2.1。

6.2.2 CDCSS 接收

CDCSS 调制包含 FM 解调模块，即采用非相干的解调方案。CDCSS 信号接收包含差分鉴相、频偏估计、判决，golay 译码等关键步骤。后端基带处理的流程由图 6.12 所示。

图 6.12 接收基带处理流程图

CDCSS 基带信号经过低通滤波滤去部分带外噪声经 FM 解调还原成幅度值，再由下一两级 LPF 进一步滤去噪声及音频信号后进行频偏补偿；此时得到的信号经过 7 倍符号率上的抽取硬判 golay 译码来选取最佳一路。

详细使用方式详见附表 A2.2.2。

6.2.3 DTMF 接收

DTMF 的解调过程即分析空中信号频率分布，根据 DTMF 组合方式逆向解码。计算空中信号在 8 组频率下了频响幅值，分别选取高频部分中的最大幅值和低频部分中的最大幅值。这两者的组合即可以确定 DTMF 码。

每一组 DTMF 解码结束，都将产生一次系统中断，和一个表明 DTMF 检测是否结束标志信息。外设在接收到中断后，将该 DTMF 码保存在一个缓存区域，在某次中断来临并且检测结束标志信息有效时，将之前保存的所有 DTMF 码组成一帧输出。

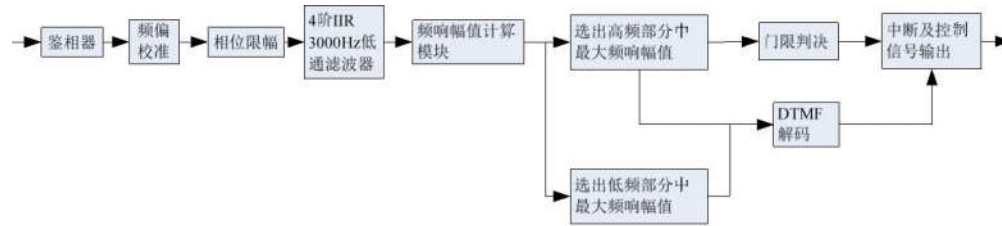


图 6.13 DTMF 接收框图

详细使用方式详见附表 A2.2.3。

6.2.4 2-tone 接收

2-tone 的解调机制类似于地址匹配，只有当 2-tone 与接收地址设置匹配上，才能打开语音通路。2-tone 包含两组单音或一组长单音，因此每当匹配正确一次，解调系数随即设置为下一组接收频点的对应值。此外在模块中加入了超时机制，如果长时间不能匹配到频点，则之前的结果清零，匹配过程重新开始。

图 6.14 2-tone 接收框图

详细使用方式详见附表 A2.2.4。

6.2.5 5-tone 接收

5-tone 的接收过程与 2-tone 相同，通过不同的寄存器控制位进行区分。详细使用方式详见附表 A2.2.5。

7 MSK 应用说明

7.1 MSK 发送

MSK 发送首先将信息数据按照帧结构要求成帧，然后将数据进行映射内插送入 MSK 调制，再将调制后的数据通过 NCO 搬到 1.5KHz 中频上，MSK 和频谱搬移在一个模块里完成，产生连续相位信号，最后输入到 FM 调制。这样整个数据的调制过程即告完成。



图 7.1 发送端系统框图

7.2 MSK 接收

MPT1327 提出的 MSK 调制包含一个 FM 调制器，故接收机的设计与调制过程相逆，加入 FM 解调模块，即采用非相干的解调方案。接收机分为前端数据采集和后端基带信号处理。前端数据采集部分与发送端的后半部分处理类似，这里不再赘述。后端信号处理部分，到达检测、定时同步、判决等关键步骤均在该部分完成。MSK 基带处理的流程由图 7.2 所示。

图 7.2 接收基带处理流程图

接收机设计采用非相干解调，利用前端数据采集模块得到两路基带 IQ 信号，接着进行差分鉴相，然后送入低通滤波器以消除带外噪声，最后进行后端信号处理。

7.3 MCU 使用说明

7.3.1 MCU 工作流程

7.3.1.1 初始化

MCU 初始化，配置寄存器 TrainErrorThreshold 为 5、DTBeforeTransAndRec 为 160、Channel_Delay 为 20，NT 为 103

7.3.1.2 发送控制

控制信道发送

MCU 需要发送数据时，当检测到接收时隙中断时，先写满发送乒乓缓存，然后配置寄存器 OperationType 为 1，ChannelType 为 0，TranOrRecFlag 为 1，MacFrameEn（MAC 组帧时为 1，PHY 组帧时为 0），Unsolicited 为 0，MultiMessageTransFlag 为 0。MAC 接收到乒乓缓存半满中断时，分两种情况：

PHY 组帧。每次发送的数据为 64 比特。如果还有比特数据没有发送完的，则继续发 64 比特。如果没有数据要发了则对 MACTransFinishFlag 置 1。

MAC 组帧。前面的数据每次都是 64 比特，最后一次的发送数据有可能小于 64 比特。如果还有比特数据没有发完，则继续发送。如果是最后一次的发送数据则对 MACTransFinishFlag 置 1，同时发送数据并配置 RemBitNum 为剩余数据比特长度。

业务信道发送控制

MCU 需要发送数据时，先写满发送乒乓缓存，然后 MCU 配置寄存器 OperationType 为

1, ChannelType 为 1, TranOrRecFlag 为 1, MacFrameEn (MAC 组帧时为 1, PHY 组帧时为 0), Unsolicited 为 1。MAC 接收到乒乓缓存半满中断时, 分两种情况

PHY 组帧。每次发送的数据为 64 比特。如果还有比特数据没有发送完的, 则继续发 64 比特。如果没有数据要发了则对 MACTransFinishFlag 置 1。如果发的是多帧信息, 第一个信息发完了, 则给出对 MultiMessageTransFlag 寄存器置一, 并发送下一个信息的 64 比特数据。

MAC 组帧。前面的数据每次都是 64 比特, 最后一次的发送数据有可能小于 64 比特。如果还有比特数据没有发完, 则继续发送。如果是最后一次的发送数据则对 MACTransFinishFlag 置 1, 同时发送数据并配置 RemBitNum 为剩余数据比特长度。

数据信道发送控制

数据信道发送控制和控制信道发送一样, 只是把 ChannelType 置为 2

7.3.1.3 接收控制

控制信道接收

MCU 需要接收收据时, 配置寄存器 OperationType 为 1, ChannelType 为 0, TranOrRecFlag 为 0, AcqEnable 为 1, RxInterMask 为 0, CtrlDataInterMask 为 0。MCU 接收中断处理程序在检测到接收终端脉冲后, 读取寄存器值 (RecBitLen、TrainCodewordFlag 和 TrainErrorBitNum), 并根据寄存器值读取相应长度的数据。

业务信道接收

MCU 需要接收收据时, 配置寄存器 OperationType 为 1, ChannelType 为 1, TranOrRecFlag 为 0, AcqEnable 为 1, RxInterMask 为 0, CtrlDataInterMask 为 0。MCU 接收中断处理程序在检测到接收终端脉冲后, 读取寄存器值 (RecBitLen、TrainCodewordFlag 和 TrainErrorBitNum), 并根据寄存器值读取相应长度的数据。

数据信道接收

MCU 需要接收收据时, 配置寄存器 OperationType 为 1, ChannelType 为 2, TranOrRecFlag 为 0, AcqEnable 为 1, RxInterMask 为 0, CtrlDataInterMask 为 1。MCU 接收中断处理程序在检测到接收终端脉冲后, 读取寄存器值 (RecBitLen、TrainCodewordFlag 和 TrainErrorBitNum), 并根据寄存器值读取相应长度的数据。

7.3.2 复位操作

在需要重新捕获时, 可以通过配置寄存器 SoftRest 先为 1 再为 0 复位物理层。

7.4 参数配置

7.4.1 基础参数配置

- 1) 捕获和同步判决门限
- 2) 接收脉冲和发射起始脉冲之间的延迟。
- 3) NT

表 7.1 基础参数配置

地址	名称	缺省值	定义
0x12A	TrainErrorThreshold	Bit7-Bit6 Bit5-Bit0	保留 捕获和同步时的 训练序列判决门 限。
0x12B	DTBeforeTransAndRec		接收脉冲和发射 起始脉冲之间的 延迟。这里配置的 值是以 19.2kHz 采 样时钟为基值假 设配置值为 n，则 延迟时间为 $n/19.2$ 毫秒。
0x12C	NT		MAC 组帧到空口 发送起点的时延 差值
0x12D	ChannelDelay		业务信道上 TSC 响应手台主动消 息的最大延迟（单 位比特）。

7.4.2 MAC 下发的参数配置

- 1) 是否进行捕获的消息（AcqEnable）。
- 2) 当前信道是什么信道的消息（控制信道、话务或者数据信道，Channel Type）。
- 3) 当前时隙为发送或者接收的消息（TranOrRecFlag）。
- 4) 工作模式（工作状态还是空闲状态，OperationType）。
- 5) 剩余发送比特数据长度的消息。组帧分为 MAC 组帧和 PHY 组帧，在 MAC 组帧的

情况下，由于总的比特数不一定是 64 的倍数（包括链路确立时间等），因此当发送比特数小于 64 比特的时候必须告知 PHY 还剩下多少比特没有发送（RemBitNum）。

6) 软件复位消息（SoftRest）。

7) 多信息帧传输消息（MultiMessageTransFlag），当传输多信息帧时，在两个信息的交界处需插入翻转比特位前，给出这个消息，PHY 组帧的时候给出，MAC 组帧不用给出。

8) 接收中断屏蔽消息（RxInterMask）。

9) 控制数据中断屏蔽消息（CtrlDataInterMask）。

10) 组帧方式，决定由 MAC 组帧还是由 PHY 组帧（MacFrameEn）。

11) MAC 传输结束消息（MACTransFinishFlag）。

12) 主动发帧信息（Unsolicited）。在业务信道发送的时候有效。

表 7.2 MAC 下发参数配置

地址	名称	缺省值	定义	说明
0xd5	AcqEnable		Bit7	1: PHY 进行捕获操作。 0: 不起作用。 注：此信息为上跳变起作用，因此 PHY 读到 AcqEnable 被 MAC 置 1 之后，立即清 0。
	OperationType			0: 表示空闲状态。 1: 表示工作状态。
	ChannelType		Bit5- Bit4	基站作为发送信道类型，手台通用 00: 控制信道。 01: 业务信道。 10: 数据信道。 11: 保留。
	TranOrRecFlag		Bit3	0: 接收。 1: 发送。
	SoftReset		Bit2	基站作为发送模块复位信号，手台即作接收复位又做发送复位 0: 不起作用。 1: 复位。
			Bit1- Bit0	保留
0xd6			Bit7- Bit6	保留

	RemBitNum	Bit5- Bit0	MAC 剩余没有发的 Bit 位。范围 0-63。
0xd7	MultiMessageTransFlag	Bit7	0: 不起作用 1: 当前码字发完之后，要添加翻转比特位。 注：此信息为上跳变起作用，因此 PHY 读到 AcqEnable 被 MAC 置 1 之后，立即清 0。并且只对 PHY 组帧有效。
	RxInterMask	Bit6	0:不起作用。 1:接收中断屏蔽。
	CtrlDataInterMask	Bit5	0:不起作用。 1:接收中断屏蔽。
	MacFrameEn	Bit4	0: PHY 组帧。 1: MAC 组帧。
	MACTransFinishFlag	Bit3	0: 不起作用。 1: 对 PHY 组帧来说当前码字取完之后结束取比特数据。对 MAC 组帧来说当前码字取完并且再取RemBitNum长度之后结束取比特数据。
	Unsolicited		0: 发送响应信息。 1: 主动发送信息。
	msk_voice_send_en		0: 发送 MSK 信令信息。 1: 发送 FM 语音。
0xd8	ChannelType_RX	Bit0	保留
		Bit1- Bit0	基站作为接收信道类型，手台不使用 00: 控制信道。 01: 业务信道。 10: 数据信道。 11: 保留。
	SoftReset_RX	Bit2	基站作为接收模块复位信号，手台不使用 0: 不起作用。 1: 复位。
		Bit7- Bit3	保留

7.4.3 MAC 获取的参数配置

1) 中断类别的消息 (CtlDataInterpType)。PHY 给 MAC 的中断可以是多个的，一共两个中断管脚，其中一个接收时隙中断（接收解调中断由接收时隙中断代替，通过增加寄存器标志位判断当前数据是否有效），另外一个为控制数据中断（该中断包括发送乒乓缓存半满中断和 PHY 发送结束中断，通过寄存器向量区分）。

2) 接收数据长度 (RecBitLen)。接收数据长度分为 128 比特和 64 比特。捕获时的接收数据长度为 128 比特。同步时的接收数据长度为 64 比特。

3) 同步序列码字标志 (TrainCodewordFlag)。这个消息是告诉 MAC 当前解出来的码字是否具有同步序列。当接收数据长度为 128 比特时，这个消息可以忽略。

4) 同步序列误比特数 (TrainErrorBitNum)。当接收数据长度为 128 比特或者同步序列码字标志为 1 的时候这个数据有效。

表 7.3 MAC 获取参数信息

地址	名称	缺省值	定义	说明
0x96	RecBitLen		Bit7- Bit0	接收的数据比特长度。
0x97			Bit7- Bit6	保留
	TrainCodewordFlag			0: 数据码字。 1: 带同步序列码字。
	TrainErrorBitNum		Bit4- Bit0	表示训练序列的错误比特数（范围 0 — 31 ）。只有在 TrainCodewordFlag 为 1 时才有效。

8 寄存器说明

表 8.1 系统参数表

类型	地址	读写	名称	缺省值	定义	说明
Reset	0x00	W	DMRnRst		Bit7	为 0 时复位 DMR 协议，一个系统时钟内有效，HR_C6000 内部自动撤销，以下复位处理相同。
			PHYnRst	0x00	Bit6	为 0 时复位物理层
			CodernRst		Bit5	为 0 时复位编解码器
			FMnRst		Bit4	为 0 时复位 FM
			VoCoderRst		Bit3	为 0 时复位声码器接口
			MSKRst		Bit2	为 0 时复位 MSK 模块
			IISRst		Bit1	为 0 时复位 I2S 接口
			CodeCRst		Bit0	为 0 时复位内置 CodeC，3 个系统时钟内有效，HR_C6000 内部自动撤销
硬件配置	0x01	W/R	RFTTransIQMode			IQ 模式下： 0：表示发送端 I 路在 DAC 的 I 路输出，发送端的 Q 路在 DAC 的 Q 路输出； 1：表示发送端 I 路在 DAC 的 Q 路输出，发送端的 Q 路在 DAC 的 I 路输出。 两点模式下：调整调制频偏映射关系，详见 4.7.2 说明。
			RFRecvIQMode		Bit6	0：表示接收端 I 路在 ADC 的 I 路输入，接收端的 Q 路在 ADC 的 Q 路输入； 1：表示接收端 I 路在 ADC 的 Q 路输入，接收端的 Q 路在 ADC 的 I 路输入。
			RFTTransMode		Bit5-Bit4	00 表示发送中频模式，01 表示发送中频 IQ 模式，10 表示发射基带 IQ 模式，11 为发送两点调制模式
			RFRecvMode		Bit3-Bit2	00 表示接收中频模式，01 表示接收中频 IQ 模式，10 表示接收基带 IQ 模式
					Bit1	IQ 路平衡调试，1 表示发出信号为 0 加偏置值，0 表示为正常值
					Bit0	控制 ADC 和 DAC 模块输入时钟的相位使能，配置为 1 时候，该时钟与系统时钟相位相反，否则相同。



0x02	W/R	TransIsigCenter	0x00	Bit7-Bit0	<p>IQ 模式下：发送 I 路的偏置值，如果 RFTansIQMode 为 0，则该偏置加在 DAC 的 I 路，否则应该加在 DAC 的 Q 路；</p> <p>两点模式下：调整输出 MOD2 路偏置，调整范围约为$\pm 422\text{mV}$，最小调整步径为 3.3mV。</p>
0x03	W/R	RecvIsigCenter	0x00	Bit7-Bit0	接收 I 路的偏置值，如果 RFRecvIQMode 为 0，则该偏置加在 ADC 的 I 路，否则应该加在 ADC 的 Q 路；
0x04	W/R	TransQsigCenter	0x00	Bit7-Bit0	<p>IQ 模式下：发送 Q 路的偏置值，如果 RFTansIQMode 为 0，则该偏置加在 DAC 的 Q 路，否则应该加在 DAC 的 I 路；</p> <p>两点模式下：调整输出 MOD2 路偏置，调整范围约为$\pm 422\text{mV}$，最小调整步径为 3.3mV。</p>
0x05	W/R	RecvIsigCenter	0x00	Bit7-Bit0	接收 Q 路的偏置值，如果 RFRecvIQMode 为 0，则该偏置加在 ADC 的 Q 路，否则应该加在 ADC 的 I 路
0x06	W/R	Vocoder	0x40	Bit7-Bit6	00 选择 V_SPI 声码器 01 选择 AMBE3000 11 选择 AMBE1000
		DMRFrom		Bit5	0 表示选择两种声码器 (AMBE3000, AMBE1000) 其中一个作为音源编码输出，1 表示通过 V_SPI 通用接口接入的声码器编码输出。
		VocoderFrom		Bit4	0 表示语音编解码包给 DMR 协议层处理，此时声码器正常工作在语音发送状态； 1 表示语音编码后直接送入声码器的解码 buffer；此时声码器工作在自环测试状态。
		SPIFrom		Bit3	0 表示通用 V_SPI 接口从 DMR 芯片的协议层读出语音数据，此时声码器正常工作在语音接收状态； 1 表示通用 V_SPI 接口直接从 DMR 芯片的声码器读出编解码包。此时声码器工作在语音的录音。
		CodeCMode		Bit2	0 表示内置，1 表示外置



系统 参数 配置			OpenMusic	Bit1	1 开启用于播放开机声音或来电提示等, 0 关闭
			LocalVoCoderControl	Bit0	0 表示系统自动控制, 1 表示 MCU 控制声码器的开关
	0x07	W/R	IFFreq2	0x0B Bit7-Bit0	中频频率字高 8 位, 24 位中频频率字除以 2^{24} 乘 9.8304M 得到最终中频频率。
	0x08	W/R	IFFreq1	0xB8 Bit7-Bit0	中频频率字中 8 位
	0x09	W/R	IFFreq0	0x00 Bit7-Bit0	中频频率字低 8 位
	0x0A	W/R	Clk_enb	0x81 Bit7	时钟切换控制位。内部时钟从晶振时钟切换到 PLL 的输出时钟控制位, 高电平表示内部时钟直接为晶振给出时钟, 更改配置 reg0x0B 和 reg0x0C 之后需要等待大于 500 μ s 才能将内部时钟从晶振切换回 PLL 输出。
				Bit6-Bit1	保留
				Bit0	HR_C6000 的 CLKOUT 管脚时钟输出控制使能。
	0x0B	W/R	PLLM	0x28 Bit7-Bit0	PLL M 寄存器
	0x0C	W/R	PLLBP	Bit7	0 表示使用 PLL, 1 表示 PLL bypass
			PLL SLEEP	0xB3 Bit6	保留
				Bit5-Bit4	PLL 输出分频数
				Bit3-Bit0	PLL 输入分频数
	0x0D	W/R	Voice_superframe	0x02 Bit7-Bit4	保留
				Bit3-Bit0	语音异常检测等待退出的超帧长度, 内部实际检测时间为 (Voice_superframe+1) * 360ms
			W/R 保留		
			FSKErro	Bit7-Bit0	统计 FSKErro 或者 EVM 值, 该值在时隙中断时候获取有效。
	0x10	W/R	ModulatorMode	0x73 Bit7	0 表示 DMR, 1 表示 FM
			TierMode	Bit6	0 表示 TierI, 1 表示 TierII
			ContinueMode	Bit5	0 表示 Continue, 1 表示 TimeSlot。在二层模式下, 需要接收 CACH 信息时候必须将该 bit 置 0。
			LayerMode	Bit4-Bit3	00 表示物理层模式, 01 表示第二层模式, 10 表示第三层模式
			ISRepeater	Bit2	0 表示非中继, 1 表示中继
			ISAligned	Bit1	0 表示偏移(非中继模式下的偏移模式表示单频中继), 1 表示对齐
			RepeaterSlot	Bit0	在三层模式下: 必须配置成 1;



					在二层模式下：0 表示 Slot1，1 表示 Slot2
0x11	W/R	LocalChanMode		Bit7	置 1 有效。在中继模式下表示 RepeatedSimplex；在直接模式下表示 DirectSimplex
				Bit6	置 1 有效。在中继模式下表示 RepeatedDuplex；在直接模式下表示 DirectDuplex
			0x80	Bit5	
				Bit4	
				Bit3	
				Bit2	
				Bit1	
				Bit0	
0x12	W/R	rf_pre_on	0x00		置 1 表示数模同时接收开启控制使能，置 0 表示只开启数字或者模拟接收。
				Bit6	时隙边界信号强度平滑上升和平滑下降使能
				Bit5-Bit0	两点调制测试使能，该 bit 使能，DAC 端输出 40Hz 正弦波。
					射频从收切换到发中断提前量，递增步长为约 100μs。
					从发切换到收的中断提前量在寄存器 0xC0 中定义。
0x13	W	Cend_band	0x00	Bit7-Bit4	rf_tx_en 或 rf_rx_en 有效到无效时候相对 30ms 边界的提前量，100μs 间隔为步长增加，最大值配置不超过 11*100μs，仅在非连续模式下有效。
				Bit3-Bit0	Rf_tx_en或rf_rx_en无效到有效时候相对 30ms 边界的延时量，以 100μs 间隔为步长增加，最大值配置不超过 11*100μs，仅在非连续模式下有效。
0x14	W/R	LocalSreAddressL	0x01	Bit7-Bit0	本机地址低 8Bit
0x15	W/R	LocalSreAddressM	0x00	Bit7-Bit0	本机地址中 8Bit
0x16	W/R	LocalSreAddressH	0x00	Bit7-Bit0	本机地址高 8Bit
0x17	W/R	LocalGroupAddressL	0x33	Bit7-Bit0	本机所在组地址低 8Bit
0x18	W/R	LocalGroupAddressM	0xef	Bit7-Bit0	本机所在组地址中 8Bit
0x19	W/R	LocalGroupAddressH	0x00	Bit7-Bit0	本机所在组地址高 8Bit
0x1A	W/R	LocalBSAddressL	0xff	Bit7-Bit0	本机所在 BS 地址低 8Bit
0x1B	W/R	LocalBSAddressM	0xff	Bit7-Bit0	本机所在 BS 地址中 8Bit
0x1C	W/R	LocalBSAddressH	0xff	Bit7-Bit0	本机所在 BS 地址高 8Bit



0x1D	W/R	LocalUnaddress MaskUnaddr	0xff	Bit7-Bit4 Bit3-Bit0	无地址呼接收地址 无地址呼匹配码，对于匹配码为 1 的对应 bit 在地址匹配的时候予以忽略，即对该位不进行比对。
0x1E	W/R	LocalBroadCast MaskBroadCast	0xff	Bit7-Bit4 Bit3-Bit0	广播接收地址 全呼(广播)匹配码，对于匹配码为 1 的对应 bit 在地址匹配的时候予以忽略，即对该位不进行比对。
0x1F	W/R	LocalEMB	0x10	Bit7-Bit4 Bit3 Bit2 Bit1-Bit0	本地 CC 设置 PI 位设置 EMB 区域 PI 加密信息与后接入信息交替次数比例。00 表示没有加密信息；01 表示 1: 1；10 表示 1: 2；11 表示 1: 4
0x20	W/R	LocalAccessPolicy	0xAA	Bit7-Bit6 Bit5-Bit4 Bit3-Bit2 Bit1-Bit0	00 表示 impolite ,01 表示 polite to all, 10 表示 polite to cc。 与 Bit7-Bit6 相同 与 Bit7-Bit6 相同 与 Bit7-Bit6 相同
0x21	W/R	LocalAccessPolicy1	0xA0	Bit7-Bit6 Bit5-Bit4 Bit3 Bit2 Bit1 Bit0	与 Bit7-Bit6 相同 与 Bit7-Bit6 相同 确认包反馈 polite 策略，0 表示 impolite, 1 表示 polite 保留 清除声码器编码缓存 buffer 中数据的控制使能，该 bit 为 1 后清除该 buffer 中的值，然后系统自动回复该 bit 为 0 清除声码器解码缓存 buffer 中数据的控制使能，该 bit 为 1 后清除该 buffer 中的值，然后系统自动回复该 bit 为 0
0x22	W/R	EncodeStart EncodeStop DecodeStart DecodeStop sel_I2S_mode	0x01	Bit7 Bit6 Bit5 Bit4 Bit3 Bit2	写入 1 表示声码器编码开始 写入 1 表示声码器编码结束 写入 1 表示声码器译码开始 写入 1 表示声码器译码结束 保留 选择 I2S 主从模式，当该 bit 为 1, 表示与声码器接口 I2S 为主模式，否则为从模式。该 bit 仅当 sel_I2StoI2S 控制位设置为 1 后才有效。



声 码 器 SPI 比例 参数			sel_I2Stol2S		Bit1	选择与声码器传输 PCM 数据的接口为 I2S 接口还是 SPI 接口。该 bit 为 1 则选择是 I2S 接口，否则位 SPI 接口。
			Ambe1000_noise_enb		Bit0	AMBE1000 静噪使能，0 为静噪功能无效。
	0x23	W/R			Bit7-Bit0	保留
	0x24	W/R		0xF8	Bit7-Bit2	保留
			AMBE1000FrameRept		Bit1	AMBE1000 帧重复
			AMBE1000ForceSilen		Bit0	AMBE1000 强制解码器静音
	0x2A	W/R	spl_clk_cnt	0x0B	Bit7- Bit0	C_SPI 时 钟 = Codec 时 钟 / $[2*(spl_clk_cnt+1)]$
	0x2B	R	Spl_l	0x00	Bit7- Bit0	FM 模式下，静噪信号的低 8bit
	0x2C	R	Spl_h	0x00	Bit7- Bit0	FM 模式下，静噪信号的高 8bit
	FM	0x2D	W/R	shift_radix	0x0B	Bit7- Bit4
				Bit3- Bit0	用于配置 FM 模式下压缩的 0dB 增益点	
	0x2E	W/R	tx_pre_on		Bit7- Bit5	保留
				Bit4- Bit0	发送提前量配置值，由于射频通道延时不同，为保证空中 DMR 信号严格在 30ms 的时隙边界发送，通过配置该寄存器，抵消射频通道的延时量，延时单位值为 100us。如配置值为 0x04，则表示发送提前配置约 400us。	
Codec 接 口 参数	0x2F	W/R		0x00	Bit7- Bit0	配置声码器 I2S 接口在主模式下的时钟频率（I2S_CK_M）。计算方法为： $I2S_CK_M = \text{codec 工作频率} / (2*(par_ck_cnt +1))$ ，且 I2S_CK_M 要求大于 272KHz。
	0x32	W/R	LRCK_CNT_H	0x02	Bit7- Bit0	Codec 在主动模式下，配置 I2S_FS_M 的时钟频率，计算方法为： $I2S_FS_M = \text{codec 工作频率} / [2*(LRCK_CNT+1)]$ ，且必须保证 I2S_FS_M=8KHz。
	0x33	W/R	LRCK_CNT_L	0xff	Bit7- Bit0	
FM	0x34	W/R	FMBpfOn		Bit7	0 表示带通滤波器关闭，1 表示开启
			FMCompressorOn	0xbe	Bit6	0 表示压缩关闭，1 表示开启
			FMPreEmphasisOn		Bit5	0 表示预加重关闭，1 表示预加重开启
			FMBandWidth		Bit4	FM 发送带宽选择，0 表示 12.5K，

		FMBandWidth_adj	Bit3	1 表示 25K FM 模式下，采用基带 IQ 及中频、中频 IQ 发送时，发送邻道抑制滤波器的带宽选择。0 表示 12.5KHz 带宽，1 表示 25KHz 带宽
		FMBandWidth_r	Bit2	FM 接收带宽选择，0 表示 12.5K，1 表示 25K
		FMBandWidth_ctc	Bit1	亚音 CTCSS 接收带宽选择，0 表示 12.5K，1 表示 25K
			Bit0	保留
0x35	W/R	FM_dev_coef_t	0x14 Bit7- Bit0	FM 发端调制频偏系数
0x36	W/R	mcu_alc_clk_down	0x00 Bit7	外置 Codec 的 BCLK 和 LRCK 关闭使能，高有效
		mcu_vspi_clk_down	Bit6- Bit5	声码器 C_SPI 接口的 SCK 时钟关闭使能。2'b01 时，SCK 始终处于关闭状态；2'b00 时，SCK 时钟始终处于开启状态；2'b10 时，根据 SPI 接口的 CS 状态确定 SCK 是否关闭，在 CS 处于有效状态(低电平)，则 SCK 时钟开启，否则 SCK 时钟关闭。
		mcu_vspi_cs_down		当使用 I2S 接口作为声码器 PCM 传输接口时候，bit6 同时定义为控制 I2S_CK 和 I2S_FS 的使能开关。Bit6 为 1 时，开启这两个时钟的使能，否则关闭这两个时钟使能。
		mcu_pkt_clk_down	Bit4	声码器编解码数据包接口时钟关闭使能，高有效
		mcu_ctr_rst1000	Bit3	是否由 mcu 控制 AMBE1000 的 reset，0 表示系统自动控制，1 表示 mcu 控制
		mcu_val_rst1000	Bit2	mcu 设置 AMBE1000 的 reset 信号，1 表示高电平
			Bit1	FM 模式下接收开启语音通道 Codec 开关，1 表示开启 0 表示关闭。
			Bit0	保留
0x37	W/R	mcu_control_shift	0x00 Bit7	mcu 控制内置与外置 Codec 的 DACDATA 变化，0 表示不变，1 表示变化
		zoom	Bit6	在 mcu_control_shift 为 1 的状态下，0 表示变小，1 表示变大
			Bit5	0



			shift_size		Bit4- Bit0	内置或外置 Codec 的 DACDATA 变化范围, 5'b00001-5'b11111 表示 DACDATA 逐渐增大, 变化步长为 1.5dB。
FM	0x3e	W/R	FM_dev_coef_r	0x08	Bit7- Bit0	FM 收端调制频偏系数
	0x3f	W/R	TR_SIG_LIM	0x10	Bit7- Bit0	FM 限幅调制系数
PHY/DL L	0x40	W/R	TxEn	0x03	Bit7	发送同步开始使能, 0 为关闭, 1 为开启
			RxEn		Bit6	接收同步开始使能, 0 为关闭, 1 为开启
			MasterMode		Bit5	0 表示被动模式, 1 表示主动模式
			Layer2Slot		Bit4	该 bit 为 mcu 提供给 HR_C6000 当前二层模式下使用时隙情况。在二层模式切换到三层时候时隙的平滑使用。1 表示当前时隙是通信使用的, 0 表示当前时隙是通信不使用的。
			CRC_MCU_Control		Bit3	控制 CRC 校验方式, 如果该 bit 为 1, 则 CRC 校验过程有 MCU 处理, 否则 HR_C6000 自动完成校验过程。
	0x41	W/R	Decode_Mode	0x00	Bit2	保留
					Bit1-Bit0	测试误码模式。00 表示物理层不带 decode 测试模式, 11 表示非测试模式通信。
			TxNxtSlotEn		Bit7	下一时隙发送使能。 0 为即将到来的时隙中断开始不发送; 1 为即将到来的时隙中断开始发送
			RxNxtSlotEn		Bit6	下一时隙接收使能。 0 为即将到来的时隙中断开始不接收; 1 为即将到来的时隙中断开始接收
			SyncFail		Bit5	失同步, 0 表示同步信号存在, 1 表示无同步信息存在, 要求物理层重新搜索。
			begin_v_layer2		Bit4	二层模式下, 接入成功标志, 软件写入 1 后, 语音开始正常接入语音, 但在不接收语音的那个时隙需要将 bit 置零



		CC_Match_Ctrl		Bit3	接收解帧处理是否需要CC匹配控制设计，0 表示接收需要 CC 匹配才做解帧处理，1 表示接收无需 CC 匹配便做解帧处理。
		AutoTest		Bit1	保留
0x42	R	TransSlot		Bit0	物理层测试使能，1 有效
		RecvSlot		Bit7	1 表示当前时隙为发送，0 表示当前时隙不发送
		UsedSlot		Bit6	1 表示当前时隙为接收，0 表示当前时隙不接收
				Bit5	0 表示当前时隙是通信使用的，1 表示当前时隙是通信不使用的。 HR_C6000 提交给 MCU 当前的时隙使用情况。
0x43	R	RSSILevelH		Bit4-Bit0	
0x44	R	RSSILevelL		Bit7-Bit0	RSSI 检测值高 8bit
0x45	W/R	Sig_Reduce	0x00	Bit7-Bit0	RSSI 检测值低 8bit
				Bit7-Bit0	IQ 模式下调整 IQ 路幅度大小；两点调制模式下调整 Mod2 幅度大小。
0x46	W/R	Phase_Reduce		Bit7-Bit0	调整两点调制模式下 Mod1 幅度大小
0x47	W/R	Two_Point_Bias		Bit7-Bit0	两点调制偏置调整，共 10bit，其中高 2bit 定义在 reg0x48 的低 2bit 中。
0x48	W/R	Two_Point_Bias	0x00	Bit7	选择 FSKErrror 输出使能，该 bit 为 1，表示寄存器 0x0F 当前输出值为 FSKErrror 统计值，否则位 EVM 统计值。
				Bit6-Bit2	保留
				Bit1-Bit0	两点调制偏置调整，共 10bit，其中低 8bit 定义在 reg0x47 中。
0x49		DEV_LIMITERH	0xFF	Bit7-Bit0	限制发送频偏门限值，共 16bit，该寄存器为其中高 8bit。当发送频偏高于该值时候，均以该值输出。
0x4A	W	DEV_LIMITERL	0x00	Bit7-Bit0	限制发送频偏门限值，共 16bit，该寄存器为其中低 8bit。当发送频偏高于该值时候，均以该值输出。
0x4B	W/R	Code_Type1	0x00	Bit7-Bit6	自定义数据类型帧（DataType 为 1011）的编解码类型选择： 00 表示 BPTC96 编解码； 01 表示卷积 3/4 编解码； 10 表示无编解码；

				Bit5-Bit4	11 表示 BPTC72 编解码; 自定义数据类型帧 (DataType 为 1100) 的编解码类型选择; 00 表示 BPTC96 编解码; 01 表示卷积 3/4 编解码; 10 表示无编解码;
				Bit3-Bit2	11 表示 BPTC72 编解码; 自定义数据类型帧 (DataType 为 1101) 的编解码类型选择; 00 表示 BPTC96 编解码; 01 表示卷积 3/4 编解码; 10 表示无编解码;
				Bit1-Bit0	11 表示 BPTC72 编解码; 自定义数据类型帧 (DataType 为 1110) 的编解码类型选择; 00 表示 BPTC96 编解码; 01 表示卷积 3/4 编解码; 10 表示无编解码;
0x4C	W/R	Code_Type2		Bit7-Bit6	11 表示 BPTC72 编解码; 自定义数据类型帧 (DataType 为 1111) 的编解码类型选择; 00 表示 BPTC96 编解码; 01 表示卷积 3/4 编解码; 10 表示无编解码; 11 表示 BPTC72 编解码;
				Bit5-Bit3	保留
		data_embrc_ctrl		Bit2	数据控制帧 EMB 区域插入 RC 信息选择控制, 写 0 表示选择直接从 CPU 获取, 写 1 表示内部进行 RC 编码处理
		data_embrc_en		Bit1	数据帧 SYNC 区域嵌入 RC 信息控制使能, 写 1 表示有效, 写 0 表示关闭
		voice_burstF_emb_ctr		Bit0	语音 F 帧嵌入式信息选择, 写 0 表示直接从 CPU 获取, 写 1 表示内部进行 RC 编码
0x4E	R	AD_Bias_I		Bit7-Bit0	AD 的 I 路输入直流偏置检测
0x4F	R	AD_Bias_Q		Bit7-Bit0	AD 的 Q 路输入直流偏置检测
DLL	0x50	W/R	LocalDataType	Bit7-Bit4	每一个发送时隙的 DataType、语音 A~F 以及 RC 帧类型
			LocalVoD	Bit3	0 表示数据, 1 表示语音或者 RC
				Bit2	该位置 1, DataType 为数据帧头时

					表示数据 2 头，否则数据头。对其他帧类型无用。
0x51	R	LocalLCSS	Bit1-Bit0	每一个发送时隙的 LCSS	
		DLLRecvDataType	Bit7-Bit4	若接收到数据帧则表示接收到的 DataType ；若接收到语音帧则 Bit6-Bit4 表示接收到的语音 A、B、C、D、E、F 帧（分别用 123456 表示）， Bit7 为 1。	
		DLLRecvPI	Bit3	接收到的 PI	
		DLLRecvCRC	Bit2	接收到的数据校验结果，0 为正确，1 为错误	
		SyncClass	Bit1-Bit0	00 表示无同步头，01 表示语音，10 表示数据，11 表示 RC	
0x52	R	DLLCC	Bit7-Bit4	接收到的 CC	
		CACH	Bit3	芯片接收获取到的 AT 芯片接收获取到的 TC	
0x52			Bit1-Bit0	芯片接收获取到的 CACH 的 LCSS[1:0]	
	W	CACH	Bit3	芯片 BS 下行发送配置字 AT	
			Bit2	芯片 BS 下行发送配置字 TC	
0x53	R	RC_Info	Bit7-Bit0	RC 信息的高 8bit 或帧 F 信息的超帧序号	
0x54	R	RC_Info	Bit7-Bit6	语音帧 EMB 区域的 LCSS 信息	
			Bit5-Bit3	保留	
			Bit2-Bit0	RC 信息的低 3 位或帧 F 信息的算法 ID	
0x55	R	Check_sum_reg	Bit7	保留	
			Bit6	CRC8 error flag	
			Bit5	gdout check error	
			Bit4	qr check error	
			Bit3	cs check error	
			Bit2	crc16 check error	
			Bit1	crc 24 check error	
			Bit0	crc 9 check error	
0x5F	W/R	Sync_Detect_Ctrl	Bit7-Bit4	二层模式下对应四组同步帧序列可检测控制使能，1 表示可检测，0 表示不可以检测。	
				Bit7: MS	
				Bit6: BS	
				Bit5: TDMA1	
				Bit4: TDMA2	
				保留	
	R	Recv_Sync_Type	Bit1-Bit0	接收到的同步帧序列类型	

					00: MS	
					01: BS	
					10: TDMA1	
					11: TDMA2	
CCL	0x60	TransControl		Bit7-Bit6	10 表示语音发送请求, 01 表示数据发送请求	
				Bit5-Bit0	保留	
	0x61	LocalDestAddressL	0x03	Bit7-Bit0	本机呼叫目的地址低 8Bit	
	0x62	LocalDestAddressM	0x00	Bit7-Bit0	本机呼叫目的地址中 8Bit	
	0x63	LocalDestAddressH	0x00	Bit7-Bit0	本机呼叫目的地址高 8Bit	
中断和数据	0x81	W	InterClass1Mask	Bit7-Bit0	0x82 表述的中断类型的 Mask，对应 bit 为 0 则屏蔽该中断。	
		R	InterRequestDeny	Bit7	DMR 模式下表示发送请求拒绝； FM 模式下表示发送数据请求中断。	
	0x82		InterSendStart	Bit6	DMR 模式下 1 表示发送开始； MSK 模式下 1 表示发送乒乓缓存半满中断。	
			InterSendStop	Bit5	DMR 模式下 1 表示发送结束； MSK 模式下 1 表示 PHY 发送结束中断。	
			InterLateEntry	Bit4	DMR 模式下 1 表示后接入； MSK 模式下 1 表示应答响应中断。	
			InterRecvData	Bit3	DMR 模式下 1 表示接收数据控制帧类型； MSK 模式下 1 表示接收中断。	
			InterRecvMessage	Bit2	DMR 模式下表示接收信息； FM 模式下表示 FM 功能接收检测中断。	
			InterQuit	Bit1	DMR 模式下语音异常退出中断； FM 模式下表示接收数据中断。	
			InterPHYOnly	Bit0	1 表示物理层单独工作接收终端	
	0x83	W	InterClear	Bit7-Bit0	按照比特位清空相应的中断寄存器。	
			Bit7: 发送请求拒绝			
			Bit6: 发送开始			
			Bit5: 发送结束			
			Bit4: 语音后接入中断			
			Bit3: 收到数据控制帧			
	Bit2: 收到短信					
	Bit1: 异常退出					
	Bit0: 物理层单独工作接收中断					



0x84	R	SendStartVoice	Bit7	语音发送
		SendStartCSBK1	Bit6	OACSU 请求发送
		KeyUpdateInterp	Bit5	端-端语音加密密钥更新请求中断
		Over_VocoderRespon	Bit4	AMBE3000 配置返回中断
		SendStartData	Bit3	数据发送
		SendStartDataPart	Bit2	数据部分重传
		SendStartDataFull	Bit1	数据全部重传
		config_done_pulse	Bit0	声码器初始化中断
0x85	W/R	SendStartMask	Bit7-Bit0	SendStart 中断的使能
			Bit7:	语音开始
			Bit6:	Oacsu 请求第一次
			Bit5:	语音密钥更新中断
			Bit4:	VocoderRespon
			Bit3:	数据首发
			Bit2:	数据部分重传
			Bit1:	数据全部重传
			Bit0:	声码器初始化中断
				发送完全结束, 包括语音和数据
0x86	R	Tx_finished	Bit7	
		tx_complet_data	Bit6	无需等待反馈的确认数据包的一个 fragment 发送完成
		tx_denied_overtime_o	Bit5	语音 OACSU 等待超时
		rdy_lst_interp	Bit4	二层模式处理中断, 软件配置信息的最后处理时机控制中断
		tx_complet_confirmed	Bit3	需要等待反馈的确认数据包的一个 fragment 发送完成
			Bit2	ShortLC 的接收中断
		tx_denied_overtime_bs	Bit1	BS 激活超时中断
		lost_gps_pps	Bit0	GPS 秒脉冲丢失中断
		SendStopMask	Bit7-Bit0	SendStop 中断的使能
			Bit7:	发送结束, 包括数据和语音
0x88	R	config_done_auto	Bit7	1 表示 DMR 对声码器的自动初始化完成
		config_done_force	Bit6	1 表示 DMR 对声码器的自动初始化未完成



		key_update_interp	Bit5	语音加密密钥更新中断
		emb_update_interp	Bit4	语音加密 EMB 区域更新中断
		embF_update_interp	Bit3	F 帧 EMB 信息发送中断
			Bit2- Bit1	保留
		FIFO_FULL	Bit0	MCU 写 PCM 数据给 HR_C6000 的空满标志位, 当该 bit 为 1 时候, 表示 fifo 已经写满。MCU 停止向 fifo 中继续送数据, 直到该 bit 为 0 后才能继续送数据。
0x89	W/R	rf_tx_interp_mask	Bit7	发送开始射频中断掩码
		rf_rx_interp_mask	Bit6	发送结束射频中断掩码
0x90	R		Bit5- Bit0	同步字段误码统计结果
	R	RecvDataCRC	Bit7	数据接收中的整个 Fragment 的 32bit CRC 校验结果, 1 为正确, 0 为出错。 非确认短信异常错误标志。为 1 则表示对应中断为非确认短信异常错误产生。
			Bit5	FM 模式下 FM 功能接收检测中断
			Bit4	保留
			Bit3- Bit0	保留
0x98	W/R	voice_lostmask	Bit7~Bit5	语音异常中断掩码
	R	voice_abnormal_state	Bit2~Bit0	语音异常中断类型 Bit2 : 时隙 1 语音统计 voice_sync_lost 时间超时后给出异常中断 Bit1 : 时隙 0 语音统计 voice_sync_lost 时间超时后给出异常中断 Bit0: 三层模式语音接收失同步后给出的异常中断
0x93	R	decode_flag[7:0]	Bit7- Bit0	5-tone 模式: decode_flag [19:0]为
0x94	R	decode_flag[15:8]	Bit7- Bit0	5-tone 解调输出;
0x95	R	decode_flag[19:16]	Bit3- Bit0	2-tone 模式: decode_flag[11:8]为 2-tone 中的长音输出; decode_flag[7:0]为 2-tone 中的两音输出; CTCSS/CDCSS 模式 : decode_flag[0]为扬声器开启使能; DTMF 模式: decode_flag[4]为 DTMF 接收解调结束状态标志; decode_flag[3:0]为 DTMF 解码输出;

						<p>XTCSS 模式：decode_flag[9] 为 XTCSS 个呼标志寄存器；decode_flag[8]为 XTCSS 全呼标志寄存器；decode_flag[7:0]为 XTCSS 解调类型标志寄存器。</p>
					Bit7- Bit4	保留
MSK 接收状态	0x96	R			Bit7- Bit0	接收的数据比特长度。
	0x97	R			Bit7- Bit6	保留
			TrainCodewordFlag		Bit5	<p>0：数据码字。</p> <p>1：带同步序列码字。</p>
			TrainErrorBitNum		Bit4- Bit0	表示训练序列的错误比特数(范围 0-31)。只有在 TrainCodewordFlag 为 1 时才有效。
FM	0xa0		subvoice_dev_coef	0x0e	Bit7- Bit0	subvoice_dev_coef, 亚音频调制频偏
	0xa1	W/R	fm_mod	0x08	Bit7	保留，需要配置成 0
					Bit6	MSK 模式
					Bit5	5-Tone
					Bit4	2-Tone
					Bit3	CTCSS
					Bit2	CDCSS
					Bit1	DTMF
					Bit0	XTCSS
	0xa2	W/R		0x10	Bit7- Bit6	选择 XTCSS 发送信令长度
					Bit5- Bit4	选择是否发送 CTCSS 净噪声音，以及配置相位翻转角度；
					Bit3	CDCSS 发送相位正反
					Bit2	CDCSS 接收相位正反
					Bit1	CDCSS 发送尾音关闭码使能
					Bit0	选择是否发送 XTCSS 结束信息
	0xa3	W/R	intertone_time	0x05	Bit7- Bit0	<p>2-tone/5-tone 模式：Selcall 相邻两帧间隙时长（step = 100ms）；</p> <p>DTMF 模式：DTMF 相邻两帧间隙时长（step = 2ms）；</p>
	0xa4	W/R	first_tone_length	0x05	Bit7- Bit0	<p>2-tone 模式：2-tone 第一音发送、接收时长（step = 100ms）；</p> <p>5-tone 模式：5-tone 各单音发送、接收时长（step = 100ms）；</p> <p>DTMF 模式：单个 DTMF 码发送时间（step = 2ms）；</p>
	0xa5	W/R	second_tone_length	0x05	Bit7- Bit0	2-tone 第二音发送、接收时长（step = 100ms）
	0xa6	W/R	long_tone_length	0x0a	Bit7- Bit0	2-tone 长音解调时长

	0xa7	W/R	FREQ_AMP_LIMIT	0x10	Bit7- Bit0	FM 各子模块接收频率能量解调门限
	0xa8	W/R		0x01	Bit7- Bit0	DTMF 模式: DTMF_tone[7:0], DTMF 发送地址; CTCSS 模式: ctcss_send_addr, CTCSS 发送地址。
	0xa9	W/R		0x00	Bit7- Bit0	DTMF 模式: DTMF_tone[15:8], DTMF 发送地址; XTCSS 模式: xtc_send_hi, XTCSS 发送地址。
	0xaa	W/R		0x00	Bit7- Bit0	DTMF 模式: DTMF_tone[23:16], DTMF 发送地址; XTCSS 模式: xtc_send_low, XTCSS 发送类型。
	0xab	W/R		0x00	Bit7- Bit0	DTMF 模式: DTMF_tone[31:24], DTMF 发送地址; CDCSS 模式: dcs_code[7:0], CDCSS 发送编码的低 8 位。
	0xac	W/R		0x00 0x00	Bit7- Bit0	DTMF 模式: DTMF_tone[39:32], DTMF 发送地址; CDCSS 模式: dcs_code[8], CDCSS 发送编码的最高位, Bit0 表示。
	0xad	W/R			Bit7- Bit0	DTMF 模式: DTMF_tone[47:40], DTMF 发送地址; 2-Tone/5-Tone 模式: selcall_tone[7:0], Selcall-tone 发送地址。
	0xae	W/R			Bit7- Bit0	DTMF 模式: DTMF_tone[55:48], DTMF 发送地址; 2-Tone/5-Tone 模式: selcall_tone[15:8], Selcall-tone 发送地址。
	0xaf	W/R		0x00	Bit7- Bit0	DTMF 模式: DTMF_tone[63:56], DTMF 发送地址; 2-Tone/5-Tone 模式: selcall_tone[19:16], Selcall-tone 发送地址, Bit3-Bit0。
	0xb0	W/R	Ambe1000_noise_reg0	0xCE	Bit7- Bit0	配置 AMBE1000 的静噪输出控制包的 9 个 byte 参数。
	0xb1	W/R	Ambe1000_noise_reg1	0xC9	Bit7- Bit0	
	0xb2	W/R	Ambe1000_noise_reg2	0x32	Bit7- Bit0	
	0xb3	W/R	Ambe1000_noise_reg3	0xE8	Bit7- Bit0	
	0xb4	W/R	Ambe1000_noise_reg4	0xA4	Bit7- Bit0	
	0xb5	W/R	Ambe1000_noise_reg5	0x06	Bit7- Bit0	



时钟配置	0xb6	W/R	Ambe1000_noise_reg6	0x2C	Bit7- Bit0	
	0xb7	W/R	Ambe1000_noise_reg7	0xF7	Bit7- Bit0	
	0xb8	W/R	Ambe1000_noise_reg8	0xB4	Bit7- Bit0	
	0xb9	W/R	Sys_clk_Reg	0x05	Bit7- Bit0	配置系统时钟频率
	0xba	W/R	Codec_clk_Reg	0x04	Bit7- Bit0	配置内置 codec 工作时钟的频率
	0xbb	W/R	ClkOut_Reg	0x02	Bit7- Bit0	配置输出时钟工作频率
	0xc0	W/R	rf_pre_on_rx	0x00	Bit7- Bit6	保留
					Bit5- Bit0	射频发切换到收中断位置提前可配，递增步长为约 100μs。
	0xc1	W/R	RF_LEVEL	0x00	Bit7	RF_LEVEL 控制选择，0 表示由芯片内部产生，1 表示由 MCU 外部配置写入
					Bit6	外部 MCU 配置的 RF_LEVEL 值
					Bit5	三层模式下 30ms 时隙中断开放使能
	0xc2	W/R	Codec_AGC_CTRL	0x00	Bit4- Bit0	保留
					Bit7	Codec 的 mic 增益 AGC 控制使能，1 表示开启，0 表示关闭
	0xc3	W/R	CODEC_OPTIMALH		Bit6- Bit0	保留
					Bit7- Bit0	Codec 输出最佳幅度值高 8 位，获取 Codec 输出幅度均值高 8 位
	0xc4	W/R	CODEC_OPTIMALL		Bit7- Bit0	Codec 输出最佳幅度值低 8 位，获取 Codec 输出幅度均值低 8 位
	0xc5	W/R	CODEC_LOWLEVELH	0x00	Bit7- Bit0	Codec 输出最低幅度值高 8 位
	0xc6	W/R	CODEC_LOWLEVELL	0x64	Bit7- Bit0	Codec 输出最低幅度值高 8 位
	0xc7	W/R	RF_3TC_ON	0x00	Bit7	管脚复用控制
					Bit6	1 表示 RF_3TC 开启在 30ms 时隙边界之后；0 表示 RF_3TC 开启在 30ms 时隙边界之前；
					Bit5- Bit0	根据 Bit6 定义，相对 30ms 边界的提前或延时的时间量设置，递增步长为约 100μs。
			RF_3TC_OFF	0x00	Bit7	保留
					Bit6	1 表示 RF_3TC 关闭在 30ms 时隙边界之后；0 表示 RF_3TC 关闭在 30ms 时隙边界之前；
					Bit5- Bit0	根据 Bit6 定义，相对 30ms 边界的提前或延时的时间量设置，递增步长为约 100μs。
	0xc9	W/R	RF_5TC_ON	0x00	Bit7	管脚复用控制
					Bit6	1 表示 RF_5TC 开启在 30ms 时隙边界之后；0 表示 RF_5TC 开启在 30ms 时隙边界之前；

0xca	W/R	RF_5TC_OFF	0x00	Bit5- Bit0	根据 Bit6 定义, 相对 30ms 边界的提前或延时的时间量设置, 递增步长为约 100μs。
				Bit7	保留
0xcb	W/R	RF_ANT_ON	0x00	Bit6	1 表示 RF_5TC 关闭在 30ms 时隙边界之后; 0 表示 RF_5TC 关闭在 30ms 时隙边界之前;
				Bit5- Bit0	根据 Bit6 定义, 相对 30ms 边界的提前或延时的时间量设置, 递增步长为约 100μs。
0xcc	W/R	RF_ANT_OFF	0x00	Bit7	管脚复用控制
				Bit6	1 表示 RF_ANT 开启在 30ms 时隙边界之后; 0 表示 RF_ANT 开启在 30ms 时隙边界之前;
0xcd	W/R	RF_3RC_ON	0x00	Bit5- Bit0	根据 Bit6 定义, 相对 30ms 边界的提前或延时的时间量设置, 递增步长为约 100μs。
				Bit7	保留
0xce	W/R	RF_3RC_OFF	0x00	Bit6	1 表示 RF_ANT 关闭在 30ms 时隙边界之后; 0 表示 RF_ANT 关闭在 30ms 时隙边界之前;
				Bit5- Bit0	根据 Bit6 定义, 相对 30ms 边界的提前或延时的时间量设置, 递增步长为约 100μs。
0xcf	W/R	RF_5RC_ON	0x00	Bit7	管脚复用控制
				Bit6	1 表示 RF_3RC 开启在 30ms 时隙边界之后; 0 表示 RF_3RC 开启在 30ms 时隙边界之前;
0xd0	W/R	RF_5RC_OFF	0x00	Bit5- Bit0	时间量设置, 递增步长为约 100μs。
				Bit7	保留
				Bit6	1 表示 RF_5RC 关闭在 30ms 时隙

						边界之后；0 表示 RF_5RC 关闭在 30ms 时隙边界之前；
					Bit5- Bit0	根据 Bit6 定义，相对 30ms 边界的提前或延时的时间量设置，递增步长为约 100μs。
FM 亚音控制	0xd1	W/R	dtmf_code_width	0x04	Bit7- Bit5	保留
					Bit4- Bit0	DTMF 发送帧数标志位
	0xd2	W/R		0xd0	Bit7- Bit0	sample_size[7:0], FM 各子模块采样深度
	0xd3	W/R		0x07	Bit7- Bit5	保留
					Bit4	CDCSS 接收地址的最高位
					Bit3- Bit0	sample_size[11:8], FM 各子模块采样深度
	0xd4	W/R		0x01	Bit7- Bit0	CTCSS 模式: CTCSS 接收地址 CDCSS 模式: CDCSS 接收地址低 8 位
MSK 模式	0xd5	W/R		0x00		XTCSS 模式: XTCSS 接收地址
			AcqEnable			1: PHY 进行捕获操作。 0: 不起作用。 注: 此信息为上跳变起作用, 因此 PHY 读到 AcqEnable 被 MAC 置 1 之后, 立即清 0。
			OperationType		Bit6	0: 表示空闲状态。 1: 表示工作状态。
			ChannelType		Bit5- Bit4	00: 控制信道。 01: 业务信道。 10: 数据信道。 11: 保留。
			TranOrRecFlag		Bit3	0: 接收。 1: 发送。
			SoftReset		Bit2	0: 不起作用。 1: 复位。
					Bit1- Bit0	保留
	0xd6	W/R		0x00	Bit7- Bit6	保留
			RemBitNum		Bit5- Bit0	MAC 剩余没有发的 Bit 位。范围 0-63。
	0xd7	W/R		0x00	Bit7	0: 不起作用 1: 当前码字发完之后, 要添加翻转比特位。 注: 此信息为上跳变起作用, 因此
			MultiMessageTransFlag			

					PHY 读到 AcqEnable 被 MAC 置 1 之后，立即清 0。并且只对 PHY 组帧有效。
		RxInterMask		Bit6	0:不起作用。 1:接收中断屏蔽。
		CtrlDataInterMask		Bit5	0:不起作用。 1:接收中断屏蔽。
		MacFrameEn		Bit4	0: PHY 组帧。 1: MAC 组帧。
		MACTransFinishFlag		Bit3	0: 不起作用。 1: 对 PHY 组帧来说当前码字取完毕之后结束取比特数据。对 MAC 组帧来说当前码字取完并且再取 RemBitNum 长度之后结束取比特数据。
		Unsolicited			0: 发送响应信息。 1: 主动发送信息。
		msk_voice_send_en			0: 发送 MSK 信令信息。 1: 发送 FM 语音。
内 置 codec 参数配置	0xdc	TDMA_Slot_Num_H		Bit0	保留
	0xdd	TDMA_Slot_Num_L		Bit0	集群模式下从 short_lc 信息中获取的复帧号
	0xe0		W/R	Bit7- Bit0	
				Bit7	Codec 配置控制使能。置 1 时候，CPU 通过寄存器配置控制 Codec 开关；置 0 时候，HR_C6000 自动控制 Codec 的开关。
				Bit6	Linein1 使能控制，1 开启。
				Bit5	Linein2 使能控制，1 开启。
				Bit4	LineOut1 使能控制，1 开启。
				Bit3	LineOut2 使能控制，1 开启。
				Bit2	Mic_n 使能控制，1 开启；
				Bit1	Mic_p 使能控制，1 开启；
				Bit0	I2S 模式选择，HR_C6000 工作在 Slave 模式，应配置为 1。
	0xe2		W/R	Bit7	Default 0
				Bit6	DAC 开关使能，正常工作模式为 0。
				Bit5	Codec 偏置开关使能，正常工作模式为 0；配置为 1 后，Codec 的 DAC 和 ADC 均不能正常工作。在待机模式下，该值为 1。
				Bit4	Codec 的 ADC 使能开关，正常工作模式为 0，ADC 不工作时候需

					要配置成 1;
		Bit3			Codec 的 ADC 端 Mic 放大模块使能, 正常工作模式为 0, ADC 不工作时候需要配置成 1.
		Bit2			抗 POP 噪音使能, 需要在 DAC 正常工作 1ms 后配置成 1, 在关闭前 10ms 配置成 0。
		Bit1			DAC 输出到功放前的开关, 正常工作模式配置为 1; 配置成 0 则 DAC 无法输出到 LineOut。
		Bit0			Codec 的 PowerDown 控制, 正常工作模式下配置为 0; 待机时候为 1。
0xe3	W/R	Bit7- Bit6			Default 01
		Bit5- Bit4			Default 01
		Bit3- Bit1			Default 001
					Codec 内部 DAC 和 ADC 直通使能, 置 1 时使能有效, 正常工作时候配置为 0。
0xe4	W/R	Bit7-Bit6			Lineout 输出增益。其中 00 对应 0dB; 01 对应 2dB; 10 对应 4dB; 11 对应 6dB。
		Bit5-Bit4			Mic 第一级增益。00 对应 0dB; 01 对应 -6dB; 其他对应 -12dB
		Bit3-Bit0			Mic 第二级增益, 在第一级增益的基础上按照 3dB 阶梯递增。其中 0000 最小。
0xe5	W/R	Bit7-Bit1			Default: 00001010
0xe6	W/R	Bit7			HP_PREV_EN, 默认为 0
		Bit6-Bit5			HP_TIME_SET, 默认为 00
		Bit4			POP_SEL_EN, 默认为 0
		Bit3-Bit0			保留

附属参数配置表

类型	地址	名称	缺省值	定义	说明
DATA	0x04	DATA SYNC1	0xdf	Bit7-Bit0	发送数据同步字
SYNC	0x05	DATA SYNC2	0xf5	Bit7-Bit0	段 48bit
	0x06	DATA SYNC3	0x7d	Bit7-Bit0	
	0x07	DATA SYNC4	0x75	Bit7-Bit0	
	0x08	DATA SYNC5	0xdf	Bit7-Bit0	
	0x09	DATA SYNC6	0x5d	Bit7-Bit0	
RC	0x0a	RC SYNC1	0xdf	Bit7-Bit0	发送 RC 同步字段
SYNC	0x0b	RC SYNC2	0xf5	Bit7-Bit0	48bit



	0x0c	RC SYNC3	0x7d	Bit7-Bit0	
	0x0d	RC SYNC4	0x75	Bit7-Bit0	
	0x0e	RC SYNC5	0xdf	Bit7-Bit0	
	0x0f	RC SYNC6	0x5d	Bit7-Bit0	
	0x24	scramble_reg0	0x00	Bit7-Bit0	语音加密初始化寄存器
	0x25	scramble_reg1	0x00	Bit7-Bit0	
	0x26	dscramble_reg0	0x00	Bit7-Bit0	语音解密初始化寄存器
	0x27	dscramble_reg1	0x00	Bit7-Bit0	
	0x2A	RS_H_INITREG0	0x00	Bit7-Bit0	语音帧头 RS 校验初值
	0x2B	RS_H_INITREG1	0x00	Bit7-Bit0	
	0x2C	RS_H_INITREG2	0x00	Bit7-Bit0	
	0x2D	RS_T_INITREG0	0x00	Bit7-Bit0	帧尾 RS 校验初值
	0x2E	RS_T_INITREG1	0x00	Bit7-Bit0	
	0x2F	RS_T_INITREG2	0x00	Bit7-Bit0	
	0x30	CSBK_INITREG0	0x00	Bit7-Bit0	CSBK包CRC16校验初值
	0x31	CSBK_INITREG1	0x00	Bit7-Bit0	
	0x3A	DATAH_INITREG0	0x00	Bit7-Bit0	数据帧头 CRC16 校验初值
	0x3B	DATAH_INITREG1	0x00	Bit7-Bit0	
	0x3C	PI_INITREG0	0x00	Bit7-Bit0	PI 帧 CRC16 校验初值
	0x3D	PI_INITREG1	0x00	Bit7-Bit0	
	0x3E	MBC_INITREG0	0x00	Bit7-Bit0	MBC 帧 CRC16 校验初值
	0x3F	MBC_INITREG1	0x00	Bit7-Bit0	
	0x40	CRC8_INITREG	0x00	Bit7-Bit0	CRC8 校验初值
MS	0x47	DATA SYNC1	0xd5	Bit7-Bit0	接收 MS 数据同步
DATA	0x48	DATA SYNC2	0xd7	Bit7-Bit0	字段 48bit
SYNC	0x49	DATA SYNC3	0xf7	Bit7-Bit0	
	0x4a	DATA SYNC4	0x7f	Bit7-Bit0	
	0x4b	DATA SYNC5	0xd7	Bit7-Bit0	
	0x4c	DATA SYNC6	0x57	Bit7-Bit0	
	0x4d	CRC9_INITREG0	0x00	Bit7-Bit0	各速率确认短信
	0x4e	CRC9_INITREG1	0x00	Bit7-Bit0	CRC9 校验初值
	0x4f	CRC9_INITREG2	0x00	Bit7-Bit0	
	0x50	CRC9_INITREG3	0x00	Bit7-Bit0	
	0x52	RSSIBottonH	0x1a	Bit7-Bit0	DMR 模式下, 信号检测阈值高 8 位
	0x53	RSSIBottonL	0xf0	Bit7-Bit0	DMR 模式下, 信号检测阈值低 8 位
	0x54	MaxValue	0x78	Bit7-Bit0	同步帧检测阈值
	0x55	Sig_COR_VALUE	0x67	Bit7-Bit0	信号到达检测阈值
BS	0x56	DATA SYNC1_1	0xdf	Bit7-Bit0	接收 BS 数据同步
DATA	0x57	DATA SYNC2_1	0xf5	Bit7-Bit0	字段 48bit
SYNC	0x58	DATA SYNC3_1	0x7d	Bit7-Bit0	



多组呼地址	0x59	DATA SYNC4_1	0x75	Bit7-Bit0	CRC32 校验计算初值
	0x5a	DATA SYNC5_1	0xdf	Bit7-Bit0	
	0x5b	DATA SYNC6_1	0x5d	Bit7-Bit0	
	0x5c	CRC32_INITREG0	0x00	Bit7-Bit0	
	0x5d	CRC32_INITREG1	0x00	Bit7-Bit0	第 1 组 24bit 组呼地址
	0x5e	CRC32_INITREG2	0x00	Bit7-Bit0	
	0x5f	CRC32_INITREG3	0x00	Bit7-Bit0	
	0x60	GroupAddr_L1		Bit7-Bit0	
	0x61	GroupAddr_M1		Bit7-Bit0	第 32 组 24bit 组呼地址
	0x62	GroupAddr_H1		Bit7-Bit0	
	
	0xbd	GroupAddr_L32		Bit7-Bit0	
	0xbe	GroupAddr_M32		Bit7-Bit0	捕获和同步时的训练序列判决门限。
	0xbf	GroupAddr_H32		Bit7-Bit0	
MSK 模式	0x12a	TrainErrorThreshold		Bit7-Bit6	
				Bit5-Bit0	
	0x12b	DTBeforeTransAndRec			接收脉冲和发射起始脉冲之间的延迟。这里配置的值是以 19.2kHz 采样时钟为基值假设配置值为 n，则延迟时间为 n/19.2 毫秒。
	0x12c	NT			MAC 组帧到空口发送起点的时延差值
RC SYNC	0x12d	ChannelDelay			业务信道上 TSC 响应手台主动消息的最大延迟（单位比特）。
	0x12e	RC SYNC1	0x77	Bit7-Bit0	接收 RC 同步字段 48bit
	0x12f	RC SYNC2	0xd5	Bit7-Bit0	
	0x130	RC SYNC3	0x5f	Bit7-Bit0	
	0x131	RC SYNC4	0x7d	Bit7-Bit0	
	0x132	RC SYNC5	0xfd	Bit7-Bit0	接收 TDMA1 数据同步字段 48bit
	0x133	RC SYNC6	0x77	Bit7-Bit0	
	0x134	DATA SYNC1_2	0xf7	Bit7-Bit0	
	0x135	DATA SYNC2_2	0xfd	Bit7-Bit0	
	0x136	DATA SYNC3_2	0xd5	Bit7-Bit0	
TDMA1 SYNC	0x137	DATA SYNC4_2	0xdd	Bit7-Bit0	

	0x138	DATA SYNC5_2	0xfd	Bit7-Bit0	
	0x139	DATA SYNC6_2	0x55	Bit7-Bit0	
TDMA2 SYNC	0x13a	DATA SYNC1_3	0xd7	Bit7-Bit0	接收 TDMA2 数据 同步字段48bit
	0x13b	DATA SYNC2_3	0x55	Bit7-Bit0	
	0x13c	DATA SYNC3_3	0x7f	Bit7-Bit0	
	0x13d	DATA SYNC4_3	0x5f	Bit7-Bit0	
	0x13e	DATA SYNC5_3	0xf7	Bit7-Bit0	
	0x13f	DATA SYNC6_3	0xf5	Bit7-Bit0	

附录：

A FM通路具体使用说明

A1 提示音通路

A1.1 参数配置

提示音主要包括开机铃声，来电、来信铃声等。

配置 0x06[2]，选择内置或外置Codec。

当使用外置Codec时，需要配置 0x36[7]=0，用于开启与外置Codec I S 接口相连的 BCLK、LRCK 信号；配置寄存器 0x30、0x31 用于 BCLK 频率的确定，配置寄存器 0x32、0x33 用于 LRCK 频率的确定，具体确定方法见外置Codec I S 接口读写时序。

当使用内置Codec时，配置寄存器 0x0D=0x10，内置Codec 在正常工作模式并且由系统自动控制其AD/DA 开关，当内置Codec 不工作时可以通过修改该寄存器配置进入低功耗状态；配置寄存器 0x0E=0x8E，开启 MicEn、HPoutEn、LineoutEn，默认 HPoutVol 为 0db，可以根据实际调节；配置寄存器 0x0F=0xB8，默认ADLinVol 与 MicVol 为 0dB，可以根据实际调节；配置寄存器 0x38=0x00，不做任何修改。

配置寄存器 0x37=0x00，不改变DACDATA 的大小。

配置 0x06[1]=1，开启提示音通路。

此后需立即通过操作U_SPI 接口写数据给Codec 实现提示音放音。

提示音结束，需立即配置 0x06[1]=0，关闭提示音通路。

A1.2 使用说明

通过操作U_SPI 接口，写数据给Codec，实现提示音的放音。

U_SPI 接口帧格式与要求

Cmd	Addr	Data0	Data1	...	Data62	Data63
-----	------	-------	-------	-----	--------	--------

图 A.1 提示音操作U_SPI 接口帧格式

其中: Cmd=8'h03, Addr=8'h00, 由于一个DACDATA 为 16bits, 所以需要64 个 8bits DATA。

提示音通路内部缓存深度为64, 通过MCU 操作提示音通路为: 首先打开提示音通路, 然后每1ms MCU 读取寄存器0x88[0], 当寄存器值为0 时, MCU 通过U_SPI 连续写32 个DACDATA 给 HR_C6000, 提示音结束关闭此通路。

A2 模拟通路

A2.1 参数配置

配置0x06[1]=0, 0x10[7]=1, 关闭提示音通路, 开启FM 通路;

配置0x06[2], 选择内置或外置Codec。

选择内置或者外置Codec 后, 需要对内置或者外置Codec 相关寄存器做进一步配置, 具体见提示音通路。

配置寄存器0x37=0x00, 不改变DACDATA 的大小。

A2.2 使用说明

A2.2.1 CTCSS

配置0xa1[7:0]=8'h08 进入CTCSS 模式;

A2.2.1.1 参数配置与初始化

设置CTCSS 亚音发送调制频偏, 窄带模式为350Hz, 配置0xa0[7:0]=8'h0d, 宽带模式为600~900Hz, 配置0xa0=8'h1a 等;

配置0xa2[5:4]=2'b01 (默认), 设置CTCSS 尾音消除相位翻转的类型;

其中: 00 表示尾音消除功能关; 01 表示标准相位翻转 (240 度);

10 表示非标准相位翻转(180 度)

配置0x34[1], 设置接收带宽。

设置CTCSS亚音检测门限, 宽带模式下配置0xa7[7:0]=8'h28, 窄带模式下为8'h10;

配置0xa8[7:0]=8'h04, 设置CTCSS 亚音发送频率;

CTCSS 一共包含有51 组模拟亚音频率, 范围从62.5~254.1Hz, 如下表所示:

	1	2	3	4	5	6	7
亚音频率 (Hz)	67	71.9	74.4	77	79.7	82.5	85.4
	8	9	10	11	12	13	14
亚音频率 (Hz)	88.5	91.5	94.8	97.4	100	103.5	107.2
	15	16	17	18	19	20	21
亚音频率 (Hz)	110.9	114.8	118.8	123	127.3	131.8	136.5
	22	23	24	25	26	27	28
亚音频率 (Hz)	141.3	146.2	151.4	156.7	162.2	167.9	173.8
	29	30	31	32	33	34	35
亚音频率 (Hz)	179.9	186.2	192.8	203.5	210.7	218.1	225.7
	36	37	38	39	40	41	42

亚音频率 (Hz)	233.6	241.8	250.3	69.3	62.5	159.8	165.5
	43	44	45	46	47	48	49
亚音频率 (Hz)	171.3	177.3	183.5	189.9	196.6	199.5	206.5
	50	51					
亚音频率 (Hz)	229.1	254.1					

配置0xd3[7:0]=8'h07, 0xd2[7:0]=8'hd0, 设置CTCSS 解调采样深度, 默认为2000 (8KHz, 250ms);

配置0xd4[7:0]=8'h04, 设置CTCSS 接收频率, 与上表相对应;

A2.2.1.2 发送与接收

发送: 当PTT 按键按下后, 系统判断当前状态是否处于 CTCSS 模式 (0xa1[7:0]=8'h08), 如果是, 则将调制频偏为 350Hz 的亚音信号加载在语音上一同输出。在PTT 释放的时刻, 如果开启了尾音消除功能, 则经过相位翻转后的亚音信号将继续发送大约155ms;

接收: CTCSS 接收模式下, 系统解调空中信号亚音频率, 如果与预设的地址相匹配, 则寄存器0x93[0]将被自动置高; MCU 在接收到FM 中断后, 判断该bit 的状态选择开启 (0x36[7:0]=8'h72) 或者关闭扬声器 (0x36[7:0]=8'h80);

A2.2.2 CDCSS

配置0xa1[7:0]=8'h04 进入CDCSS 模式;

A2.2.2.1 参数配置与初始化

设置CDCSS 亚音发送调制频偏, 窄带模式为350Hz, 配置0xa0[7:0]=8'h03; 宽带模式为600~900Hz 之间, 配置0xa0=8'h06;

配置0xa2[3:1]=3'b001 (默认), 设置CDCSS 信号标准;

0xa2[3]: “1”为 CDCSS 发送相位反, “0”为正;

0xa2[2]: “1”为 CDCSS 接收相位反, “0”为正;

0xa2[2]: “1”为 CDCSS 发送尾音关闭码功能开启;

“0”为发送尾音关闭码功能关闭;

配置0xac[0]=0, 0xab[7:0]=8'h4c, 设置CDCSS 发送码“114”;

配置0xd3[3:0]=4'h3, 0xd2[7:0]=8'h20, 设置CDCSS 解调采样深度, 默认为800 (8KHz, 100ms);

配置0xd3[4]=0, 0xd4[7:0]=8'h4c, 设置CDCSS 接收码“114”;

配置0x34[1], 配置接收端带宽, 该寄存器与CTCSS 共用;

配置0x104[7:0]= 8'h7f, 0x103[7:0]= 8'h49, 0x102[7:0]= 8'h9d, 设置CDCSS 尾音关闭码检测解调系数。默认为24bit的十进制数8341917, 对应的检测频率为134.4Hz 单音 (标准)。由公式: $2 * \cos(2 * \pi * 134.4 \text{Hz} / 8000 \text{Hz} \text{ 采样时钟})$ 经过 2^{22} 量化后得到;

A2.2.2.2 发送与接收

发送: PTT 有效时, 调制频偏为350Hz 的 CDCSS 信号伴随语音信号一同发送, 在PTT 释放时, 如果尾音关闭码功能开启, 则继续发送一段频率为134.4Hz 的单音,

反之则发送结束;

接收: CDCSS 检测到与接收地址相匹配的CDCSS 码时, 则寄存器0x93[0]将被自动置高; MCU 在接收到FM 中断后, 判断该bit 的状态选择开启 (0x36[7:0]=8'h72) 或者关闭扬声器 (0x36[7:0]=8'h80), 此处操作与CTCSS 相同;

A2.2.3 DTMF

配置0xa1[7:0]=8'h02 进入DTMF 模式;

A2.2.3.1 参数配置与初始化

配置0xa0[7:0]=8'h39, 设置DTMF 发送调制频偏为1.8KHz;

配置0xa4[7:0]=8'h32, 设置DTMF 信号单次发送时长, 默认100ms, 可调节的步进长度为2ms;

配置0xa3[7:0]=8'h19, 设置DTMF 相邻帧间隙时长, 默认50ms, 可调节的步进长度为2ms;

配置0xa7[7:0]=8'h0a, 设置DTMF 解调门限;

配置0xaf, 0xae, 0xad, 0xac, 0xab, 0xaa, 0xa9, 0xa8, 设置DTMF 发送码 (最高支持16 位)。自高向低配置, 例如配置“1234”, 则为0xaf=8'h12, 0xae=8'h34;

配置0xd1[4:0]=5'b00100, 设置DTMF 发送帧长, 例如DTMF 码“1234”的发送帧长为4;

配置0xd3[3:0]=4'h4, 0xd2[7:0]=8'h20, 设置DTMF 解调采样深度, 默认为1056 (32KHz, 33ms);

接收解调系数配置:

配置{0x104, 0x103, 0x102}=24'h7ecd9d (频率697Hz 对应解调值);

配置{0x107, 0x106, 0x105}=24'h7e8a34 (频率770Hz 对应解调值);

配置{0x10a, 0x109, 0x108}=24'h7e368c (频率852Hz 对应解调值);

配置{0x10d, 0x10c, 0x10b}=24'h7dd245 (频率941Hz 对应解调值);

配置{0x110, 0x10f, 0x10e}=24'h7c690d (频率1209Hz 对应解调值);

配置{0x113, 0x112, 0x111}=24'h7b9f03 (频率1336Hz 对应解调值);

配置{0x116, 0x115, 0x114}=24'h7aa7a8 (频率1477Hz 对应解调值);

配置{0x119, 0x118, 0x117}=24'h7979f5 (频率1633Hz 对应解调值);

由公式: $2 * \cos(2 * \pi * \text{待检测频率} / 32000\text{Hz} * \text{采样时钟})$ 经过 2^{22} 量化后得到;

发送频率配置:

配置{0x11b, 0x11a}=16'h0593 (频率697Hz 对应相位值);

配置{0x11d, 0x11c}=16'h0629 (频率770Hz 对应相位值);

配置{0x11f, 0x11e}=16'h06d1 (频率852Hz 对应相位值);

配置{0x121, 0x120}=16'h0787 (频率941Hz 对应相位值);

配置{0x123, 0x122}=16'h09ac (频率1209Hz 对应相位值);

配置{0x125, 0x124}=16'h0ab0 (频率1336Hz 对应相位值);

配置{0x127, 0x126}=16'h0bd1 (频率1477Hz 对应相位值);

配置{0x129, 0x128}=16'h0d10 (频率1633Hz 对应相位值);

由公式: $(\text{待发送频率} / 32000\text{Hz} * \text{采样时钟})$ 经过 2^{16} 量化后得到。

DTMF 码与频率对应关系如下表所示:

配置{0x110, 0x10f, 0x10e}=24'h7b7a03 (E 音 1358Hz 对应解调值);
由公式: $2 * \cos(2 * \pi * \text{待检测频率} / 32000\text{Hz} \text{ 采样时钟})$ 经过 2^{22} 量化后得到;
发送频率配置:

配置{0x11b, 0x11a}=16'h0fd9 (A 音 1981Hz 对应相位值);
配置{0x11d, 0x11c}=16'h08fe (B 音 1124Hz 对应相位值);
配置{0x11f, 0x11e}=16'h0993 (C 音 1197Hz 对应相位值);
配置{0x121, 0x120}=16'h0a33 (D 音 1275Hz 对应相位值);
配置{0x123, 0x122}=16'h0add (E 音 1358Hz 对应相位值);
由公式: (待发送频率/32000Hz 采样时钟) 经过 2^{16} 量化后得到。
2-tone 码与频率对应关系默认采用 CCIR1 标准。

A2.2.3.2 发送与接收

发送：PTT有效时，系统将保存在寄存器0xaf[3:0]x8的2个通道码发透并发送0xd[4:0]d3指0xa6的IME，均作为single为single模式。只发这一次只发透1个遍序列码，发送震透到新的有效有效；

接收：MCU在每次FWI中断来临时将寄存器0xb3[3:0]的数据数据保存设的南磁接收地址出检测测得0x93和0x94[3:0]将数据数据给能传预软件提音配置置的IME，接收地址电较，如果配配则打开扬声器通路0xc6[7:0]=8'h72），反之关闭扬声器（0xc6[7:0]=8'h80）。

A2.2.4 Selcall-tone (2-tone)

配置0xa1[7:0]=8'h20 进入2-tone 模式;

A2.2.5.1 参数配置与初始化

配置 0xa0[7:0]=8'h39, 设置 2-tone 发送调制频偏为 1.8KHz;

配置 0xa4[7:0]=8'h05, 设置 2-tone 第次发送时长默认为 500ms, 可调节的步进长度为 100ms;

配置 0xa3[7:0]=8'h05, 设置 2-tone 相邻帧间隙时长, 默认 500ms, 可调节的步进长度为 100ms;

配置 0xa5[7:0]=8'h05, 设置 2-tone 解调限送时长, 默认 500ms, 可调节的步进长度为 100ms;

配置 {0xa0, 0xae, 0xad}, 设置 5-tone 发送码, 由“A”“B”“C”“D”“E”5 个字节组成, 例如“A-B-C-D-E”;

配置 0xb6[7:0]=8'h0a, 设置 2-tone 的长音发送时长, 默认 1000ms, 可调节的步进长度为 100ms;

配置 0xd0[7:0]=4'hc, 0xd2[7:0]=8'h80, 设置 5-tone 解调采样深度, 默认为 3200 与 32KHz 的 100ms 相同;

配置 0xa7[7:0]=8'h0a, 设置 2-tone 解调门限;

配置 {0xae, 0xad} 配置 2-tone 发送码, 由“A”“B”“C”“D”两两配对组成或者单独输出, 例如“A-B”或者“long A”;

配置 0xd3[7:0]=4'hc, 0xd2[7:0]=8'h80, 设置 2-tone 解调采样深度, 默认为 3200 与 32KHz 的 100ms 相同。

接收解调系数配置:

A2.2.5.2 配置与接收

配置{0x104, 0x103, 0x102}=24'h767041 (A 音 1981Hz 对应解调值);

配置{0x107, 0x106, 0x105}=24'h7ce537 (B 音 1124Hz 对应解调值);

发送: PPT 有效时, 系统将保存在寄存器0xa0[3:0], 0xae, 0xad 中的 5-tone 码发送,

配置{0x10a, 0x109, 0x108}=24'h7c7b1e (C 音 1197Hz 对应解调值);

发送格式由 0xa3, 0xa4 指定, 5-tone 均为 single 模式, 即每次只发送一遍序列码,

配置{0x10d, 0x10c, 0x10b}=24'h7c0285 (D 音 1275Hz 对应解调值);

配置{0x10f 等}到 0x100 的 PPT 有效;

接收：MCU 在每次FM 中断来临时将寄存器{0x95[3:0], 0x94, 0x93}中的数据与软件预设的 5-tone 接收地址比较，如果匹配，则打开扬声器通路（0x36[7:0]=8'h72），反之则关闭扬声器（0x36[7:0]=8'h80）。

B ADC 输入电压与RSSI 值关系

低中频450KHz 的 DMR 信号，通过RF cable 线直接输入到HR_C6000 的 ADC 端，通过寄存器得到RSSI 值与ADC 的 I 路输入电压之间的关系如图。

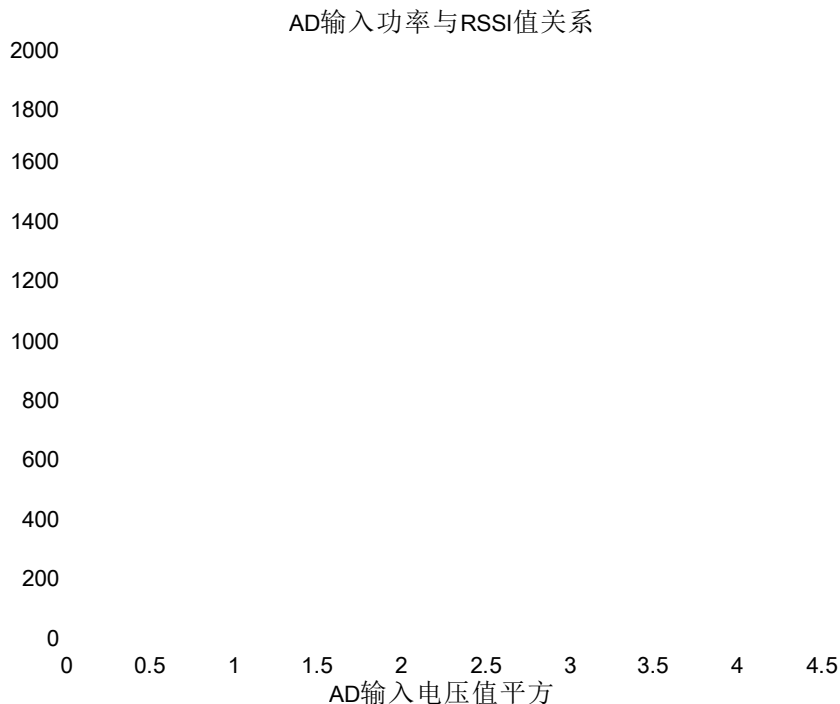


图 B.1 ADC 输入电压平方值同RSSI 值对应关系

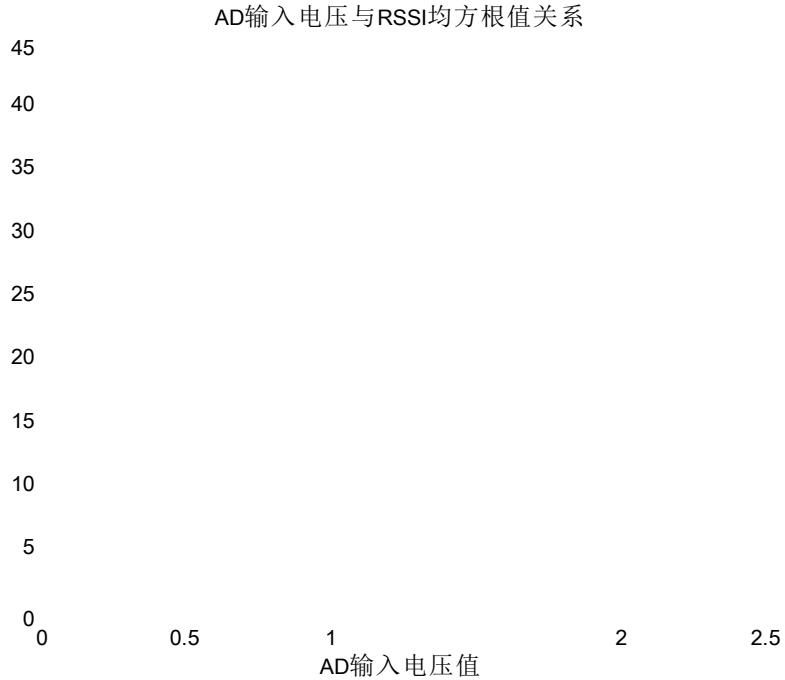


图 B.2 ADC 输入电压同 RSSI 均方根值对应关系

表 B.1 ADC 输入电压对应 450KHz 的 DMR 输入信号幅度值如下表:

输入信号幅度(dBm)	I 路单端输入电压 (V)	RSSI 值
-34	0.048	0
-28	0.080	1
-22	0.125	4
-16	0.340	19
-10	0.560	75
-4	0.970	294
	1.060	370
	1.200	500
	1.300	628
	1.500	790
	1.660	993
	1.880	1250
3	2.020	1980